บทที่ 10
วงจรเบ็ดเสร็จแบบดิจิตอล
DIGITAL INTEGRATED CIRCUIT

วัตถุประสงค์

เมื่อศึกษาจบบทนี้แล้วนักศึกษาสามารถ

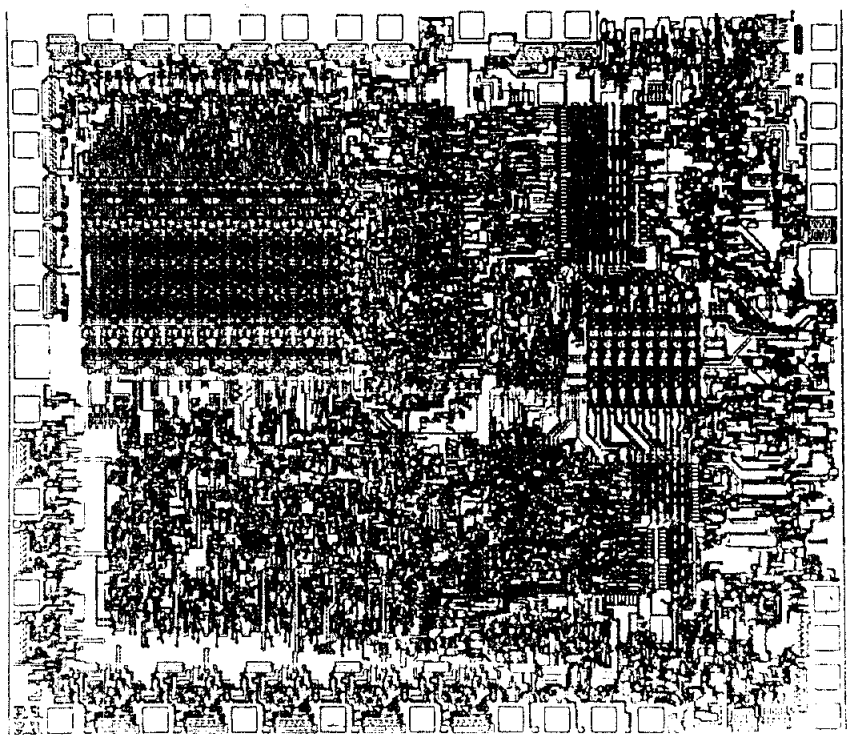
1. บอกประเภทของไอซีได้
2. อธิบายไอซีตรรกชนิดที่สำคัญที่ใช้กันอยู่ได้แก่ TTL, ช้อตกี้ TTL, ECL, CMOS และ I^2L
3. อธิบายลักษณะสมบัติของไอซีแบบดิจิตอลด้วยพารามิเตอร์ คือ แฟน-เอาท์ การใช้จ่ายกำลังไฟฟ้า การหน่วงเนื่องจากการแผ่ และขอบของสัญญาณรบกวนได้

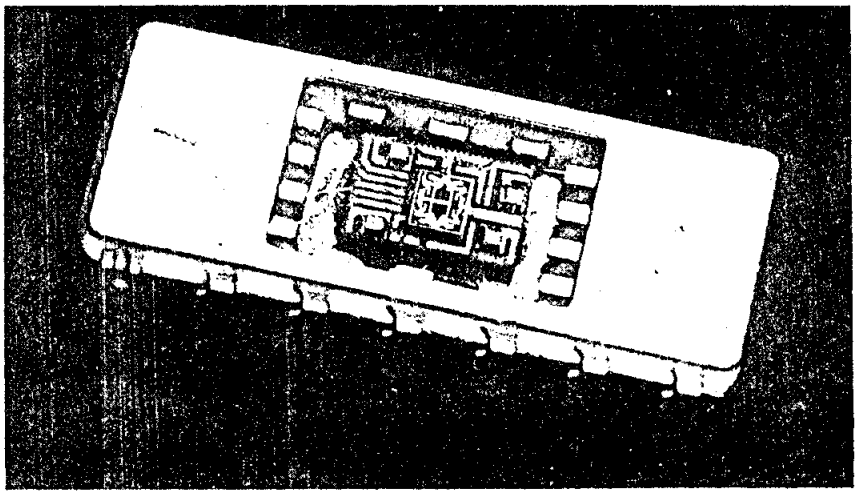
10.1 วงจรเบ็ดเสร็จ (ไอซี)
Integrated Circuit (IC)

วงจรเบ็ดเสร็จอาจแบ่งโดยทั่ว ๆ ไปได้ 2 ประเภทคือ โมโนลิธิก (monolithic) และไฮบริด (hybrid) ซึ่งเป็นการแบ่งตามวิธีการผลิต คำว่า โมโนลิธิกมาจากคำภาษากรีก 2 คำคือ โมโนส (monos) แปลว่า เดี่ยว (single) และลิโธส (lithos) แปลว่า หิน (stone) ดังนั้นโมโนลิธิกจึงหมายความว่า "ของหินเดี่ยว (of a single stone)" ชื่อของไอซีประเภทนี้จึงบอกเป็นนัยว่าเป็นไอซีซึ่งมีวงจรสมบูรณ์อันรวมชิ้นส่วนแอ็คทีฟ และพาสสีฟ และการเชื่อมต่อภายใน (ยกเว้นพวกที่ออกไปเป็นขั้วภายนอก) สร้างอยู่บนและภายในชิ้นผลึกซิลิคอนเดี่ยว สำหรับไฮบริดไอซีสร้างโดยเทคนิคต่าง ๆ มากมาย แต่โดยทั่วไปรวมถึงการติด (mounting) ชิ้นส่วนแบ่งแยกต่าง ๆ บนฐานที่เป็นฉนวน (insulating substrate) ด้วยการเชื่อมต่อภายในทำโดยลวดหรือรูปแบบทางโลหะ

ดังนั้นไอซีประเภทโมโนลิธิก ก็คือไอซีที่สร้างบนและภายในฐานซึ่งเป็นสารกึ่งตัวนำ โดยฐานนี้ทำหน้าที่เป็นตัวถัง (chassis) ของวงจร สำหรับไอซีประเภทไฮบริดมีตัวถังเป็นฉนวนซึ่งถูกเพิ่มเข้าไป ไม่ได้ใช้เพื่อการดัดแปลง

รูป 10.1 (a) และ (b) แสดงหน้าตาของวงจรที่สร้างโดยวิธีทั้งสองนี้ รูปบนคือ รูป 10.1 (a) เป็นไมโนลิธิก ไมโครโปรเซสเซอร์ (microprocessor) รูปล่างคือ รูป10.1 (b) เป็นวงจรไอซีในแบบไฮบริด





รูป 10.1 (a) [รูปบน] เป็นโมโนลิธิกไมโครโปรเซสเซอร์
(b) [รูปล่าง] เป็นไอซีชนิดไฮบริด

เนื่องจากไอซีมีขนาดเล็กจึงเป็นประโยชน์ในการใช้งานเช่นในระบบอิเล็กทรอนิกส์ยานอวกาศซึ่งน้ำหนักและปริมาตรเป็นค่าวิกฤต นอกจากนี้ข้อดีที่สำคัญของไอซีคือ ราคาย่อมเยานั่นเอง

ไอซีโดยเฉพาะแบบโมโนลิธิกทำขึ้นด้วยลำดับของขั้นตอนการผลิตซึ่งแต่ละขั้นตอนมีการเฉลี่ยวงจรที่คล้ายคลึงกันเป็นร้อย เป็นพัน วิธีการสร้างเช่นนี้ทำให้ได้ผลผลิตสูง จึงทำให้ไอซีมีราคาถูก การลดจำนวนการเชื่อมต่อโดยลวดซึ่งกระทำด้วยมือมนุษย์ช่วยให้ลดค่าใช้จ่ายและยังเป็นปัจจัยสำคัญในความน่าเชื่อถือของไอซี การเชื่อมต่อโดยวิธีบัดกรีหรืออย่างอื่น ๆ นั้นพบว่ารอยต่อไม่แน่นหนาซึ่งนำไปสู่ความไม่น่าเชื่อถือ โดยการใช้ไอซีทำให้ระบบวงจรที่ซับซ้อนเป็นไปได้ที่จะใช้การเชื่อมต่อเพียงจำนวนน้อยแล้วยังให้ความน่าเชื่อถืออีกด้วย

อาจแบ่งไอซีตามความซับซ้อนของมันได้ดังนี้

SSI (Small–Scale Integration) เป็นไอซีที่มีจำนวนเกทน้อยกว่า 12 เกทบนชิพเดียวกัน (ชิพ–chip คือชิ้นส่วนของแผ่นซิลิคอน ซึ่งไอซีหรือส่วนประกอบของวงจรไอซีเช่นทรานซิสเตอร์, ไดโอด, ตัวต้านทาน เป็นต้น ถูกสร้างอยู่ข้างบนชิ้นนี้)

MSI (Medium–Scale Integration) มีจำนวนเกท 12 ถึง 100 เกทต่อชิพ

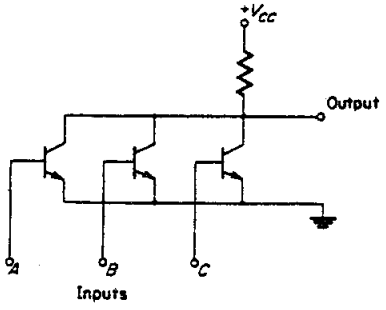
LSI (Large–Scale Integration) มีจำนวนเกทมากกว่า 100 เกทต่อชิพ

10.2 ตระกูลไอซีตรรก
Logic Integrated Circuit Family

ไอซีตรรกที่ใช้กันอยู่มีประเภทสำคัญ 5 ประเภทคือ TTL, ช้อตกี้ TTL, ECL, CMOS และ I^2L ซึ่งจะได้กล่าวถึงต่อไป แต่ก่อนอื่นจะท้าวความถึงไอซีตรรกประเภทที่ใช้กันก่อนหน้านั้น เพื่อแสดงถึงวิวัฒนาการของไอซีตรรกต่อ ๆ มา

10.2.1 DCTL (Direct–Coupled Transistor Logic)

รูป 10.2 แสดงนอเกท 3 อินพุทในแบบ DCTL ชื่อของตรรกชนิดนี้ (direct–coupled) มาจากความจริงที่ว่า อินพุทของวงจรเชื่อมต่อโดยตรงกับเบสของทรานซิสเตอร์



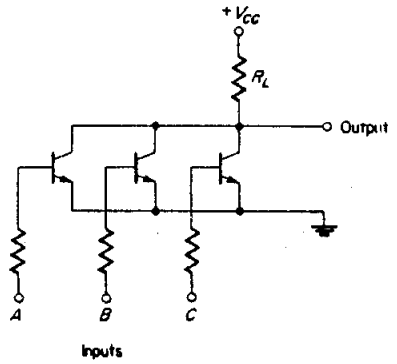
รูป 10.2 นอเกทต่อแบบ DCTL

ตรรก 1 ที่อินพุท A หรือ B หรือ C จะเปิด (turn on) ทรานซิสเตอร์ตัวที่มีเบสเป็น 1 (สมมุติเป็นตรรกบวก) ทำให้เอาท์พุทเป็นแรงดันต่ำหรือตรรก 0 เมื่ออินพุททั้งหมดเป็นตรรก 0 ทรานซิสเตอร์ทั้งสามจะปิด (off) และเอาท์พุทจะเป็นตรรก 1 ซึ่งเป็นเงื่อนไขของนอเกท

เกทแบบ DCTL ตกอยู่ภายใต้อิทธิพลของการพอกกระแส (current hogging) ได้โดยง่ายสมมุติว่าวงจรในรูป 10.2 ถูกโหลดด้วยนอเกทแบบ DCTL อื่น ๆ อีกมากมาย หมายความว่ารอยต่อเบส-อีมิตเตอร์มากมายถูกขับโดยจุดเดียวกัน และขึ้นอยู่กับความแตกต่างซึ่งไม่อาจหลีกพ้นในลักษณะสมบัติของเบสต่ออีมิตเตอร์ของทรานซิสเตอร์ จะมีรอยต่ออันหนึ่งเปิด (turn on) เป็นอันแรก จึงเป็นไปได้ทีเดียวที่รอยต่อนี้จะเกิดการพอกกระแสเพียงพอที่จะป้องกันรอยต่อของทรานซิสเตอร์อื่นจากการเปิด

10.2.2 RTL (Resistor–Transistor Logic)

ปัญหาของการพอกกระแสสามารถแก้ไขให้หมดไปได้ด้วยการต่อตัวต้านทาน 1 ตัวอนุกรมกับแต่ละอินพุทเบส ได้ผลเป็น RTL นอ ดังรูป 10.3 ปัญหาการพอกกระแสถูกขจัดทิ้งเพราะตัวต้านทานไปแยกเบสออกจากจุดขับร่วม ดังนั้นจึงทำให้แรงดันเบส-อีมิตเตอร์ถูกปรับเฉพาะตัวให้มีระดับจำเป็นแก่การเปิดทรานซิสเตอร์ การเพิ่มตัวต้านทานอนุกรมที่อินพุทเช่นนี้ย่อมทำให้ความชัดอินพุทเพิ่มขึ้น ดังนั้นแฟนเอาท์ (fan–out) ของวงจรขับจึงเพิ่มขึ้น



รูป 10.3 RTL นอเกท

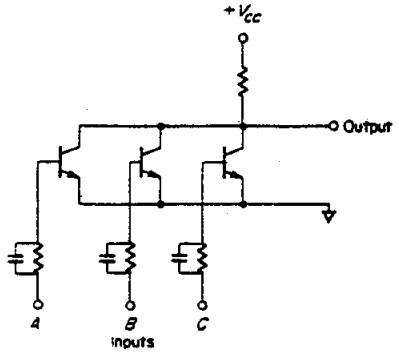
วงจร RTL เป็นวงจรตรรกชนิดแรกที่นำมาสร้างเป็นไอซีในปีต้น ๆ ของทศวรรษ 1960 และด้วยเหตุผลหลายประการ วงจรพื้นฐานนี้ได้รับการพิสูจน์โดยวงจรในแบบแยกชิ้นส่วน (discrete–circuit) แล้วว่าถูกต้องเหมาะแก่การสร้างเป็นไอซี นึกออกแบบคุ้นเคยกับวงจร RTL และความน่าเชื่อถือและข้อมูลของวงจรนี้มีพร้อมอยู่

อย่างไรก็ตามวงจร RTL ก็มีข้อเสียที่สำคัญอยู่ 3 ประการคือ มีอัตราเร็วสัมพัทธ์ต่ำ มีแฟนเอาท์ต่ำ และไวต่ออุณหภูมิ อัตราเร็วที่ต่ำเกิดเพราะตัวต้านทานซึ่งต่ออนุกรมอยู่ที่เบสบวกกับความจุอินพุทของทรานซิสเตอร์ก่อให้กลายเป็นตัวกรองความถี่ต่ำผ่าน (low-pass filter) สิ่งนี้ทำให้เวลาขึ้นและลงของอินพุทพัลส์เลวลง

แฟนเอาท์ต่ำเกิดเพราะกระแสอินพุทสู่ทรานซิสเตอร์ถูกจำกัดโดยต้องไหลผ่าน R_L ในรูป 10.3 และตัวต้านทานที่ต่ออนุกรมกับเบสของเกทตัวต่อไป

10.2.3 RCTL (Resistor-Capacitor-Transistor Logic)

อัตราเร็วในวงจร RTL เป็นฟังก์ชันของขนาดของตัวต้านทานที่ใช้ เนื่องจากทรานซิสเตอร์ประจำตัวและความจุประปราย (stray capacity) ต้องถูกประจุและคายประจุผ่านตัวต้านทานคลอเล็กเตอร์และเบส เพื่อเพิ่มอัตราเร็วต้องลดค่าตัวต้านทานลงแต่นี่จะไปทำให้วงจรต้องการกำลังป้อนมากขึ้น เพื่อเพิ่มอัตราเร็วโดยกำลังป้อนวงจรก็น้อยด้วยจึงดัดแปลงวงจร RTL ให้กลายเป็น RCTL ดังรูป 10.4 โดยเพิ่มตัวจุอัตราเร็ว (speed-up capacitor) ขนานเข้ากับตัว



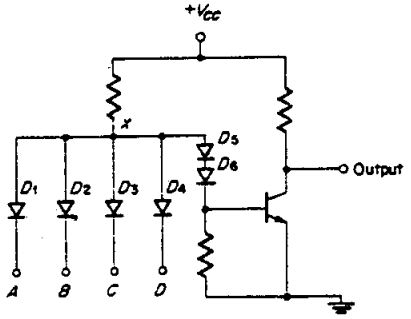
รูปที่ 10.4 RCTL นอเกท

ต้านทานเบส ดังนั้นทำให้เวลาขึ้นและลงเร็ว แม้ว่าตัวต้านทานเบสจะมีค่ามาก นอกเหนือจากอัตราเร็วต่อกำลังที่ใช้มีค่าเพิ่มขึ้นแล้ววงจร RCTL ก็ไม่แตกต่างไปจาก RTL จึงไม่เป็นที่นิยมมากนัก

10.2.4 DTL (Diode-Transistor Logic)

วงจรตรรกอีกชนิดหนึ่งซึ่งนิยมกันและกลายมาเป็นไอซีคือ DTL ดังรูป 10.5 ซึ่งประกอบด้วยอินพุทไดโอดเป็นแอนเกท (D_1, D_2, D_3, D_4) ตามด้วยทรานซิสเตอร์เป็นอินเวิตเตอร์ จึงให้ผลเป็น นอท-แอน หรือ แนนเกท ถ้าอินพุทใดของ A, B, C และ D มีแรงดันต่ำ (ตรรก 0) จุด X จะมีแรงดันประมาณ + 0.7 V และทรานซิสเตอร์จะปิด (turn off) เพราะ V_{BE} ของ

ทรานซิสเตอร์น้อยกว่า 0.7 V เนื่องจากไดโอด D_5, D_6 ดังนั้นเอาท์พุทเป็นแรงดันสูง (ตรรก 1) อย่างไรก็ตามถ้าอินพุท A, B, C และ D มีแรงดันสูง (ตรรก 1) อินพุทไดโอดทั้งสี่จะปิดและค่าของตัวต้านทานเบสไบแอสเป็นในลักษณะที่ทำให้ทรานซิสเตอร์เปิด ดังนั้นเอาท์พุทจะเป็นแรงดันต่ำ (ตรรก 0) เมื่อทุกอินพุทเป็นตรรก 1 ซึ่งเป็นเงื่อนไขของแนนเกท



รูป 10.5 DTL แนนเกท

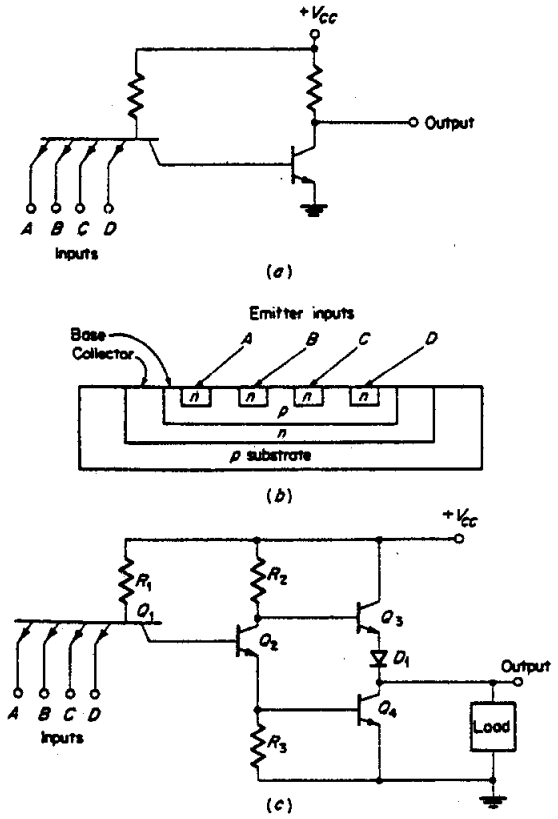
ไดโอด D_5, D_6 มีหน้าที่ 2 อย่าง เมื่ออินพุทมีแรงดันต่ำ มันจะทำให้เบสของทรานซิสเตอร์ต่ำกว่า + 0.7 V เพื่อเป็นหลักประกันว่าทรานซิสเตอร์ปิด (off) อินพุททุกอันต้องมีค่าสูงกว่า + 1.4 V ก่อนที่ทรานซิสเตอร์จะสามารถเปิด (turn on) เพราะจุด X ในรูป 10.5 เป็นศักย์ตกของไดโอด 3 ตัว (D_5, D_6 และ เบสอีมิตเตอร์ของทรานซิสเตอร์) หรือ $0.7 \times 3 = 2.1$ V เหนือจุดดิน (ground) ขณะที่ทรานซิสเตอร์เปิด ที่เวลานี้อินพุทไดโอด 4 ตัว มีศักย์ตก 1 ตัวใกล้จุดดิน นั่นคือ ศักย์ตกของไดโอด 2 ตัว 2×0.7 V = 1.4 V เหนือระดับจุดดิน ดังนั้นทรานซิชันระหว่างทรานซิสเตอร์เปิดและปิดเกิดขึ้นที่อินพุทมีค่า + 1.4 V สำหรับวงจร DTL ในรูป 10.5 เปรียบเทียบกับค่าประมาณ + 0.7 V สำหรับวงจรในรูป 10.2, 10.3, 10.4 หมายความว่ายอดแหลมของสัญญาณรบกวน (noise spike) ค่า + 1V จะไม่ทำให้ได้เอาท์พุทผิดจากวงจร DTL เกท แต่มันอาจเป็นกับวงจร DCTL, RTL หรือ RCTL

DTL เหมาะในการสร้างไอซีแบบโมโนลิธิก ไม่ต้องมีตัวจุและค่าของชิ้นส่วนอุปกรณ์สำหรับสร้างวงจรไม่เป็นค่าวิกฤต DTL แนนเกทบางครั้งอาจใช้ทรานซิสเตอร์แทนไดโอด D_5 ดังตาราง 10.1 ซึ่งจะได้พบต่อไป แบบนี้ให้ผลดีกว่าเพราะทรานซิสเตอร์ตัวนี้ป้อนการขับที่จำเป็นแก่การเปิดเอาท์พุททรานซิสเตอร์ ในขณะที่ลดกระแสที่ต้องการในภาคก่อนหน้าลง

10.2.5 TTL (Transistor–Transistor Logic)

TTL เป็นตรรกที่สัมพันธ์และดัดแปลงมาจาก DTL ดังรูป 10.6 (a) TTL บางครั้งเรียก T^2L วงจร DTL ในรูป 10.5 นั้นไดโอด D_4 และ D_5 ก่อร่างเป็นสภาวะประสมของ np–pn

ใน TTL สภาวะประสมนี้ถูกแทนที่ด้วยทรานซิสเตอร์ชนิด npn เพื่อให้ได้อินพุทหลายอัน (multiple Input) ของแอนเกทคล้ายกับไดโอด4 ตัว ซึ่งเป็นแอนเกทใน DTL TTL จะใช้อีมิตเตอร์หลายขา (multiple emitter) บนทรานซิสเตอร์ npn การทำงานของ TTL จะเข้าใจเมื่อเปรียบเทียบ



รูป 10.6 (a) TTL แนนเกท
(b) รูปแบบไอซีของ TTL เกท
(c) TTL แนนเกทซึ่งมีโทเท็ม-โพล เอาท์พุท

กับ DTL TTL เป็นตัวอย่างดีเลิศอันหนึ่งของการประยุกต์เทคโนโลยีไอซีแบบโมโนลิธิกในการปรับปรุงวงจรพื้นฐานในแบบแยกชิ้นส่วน แม้ว่า DTL จะเป็นไอซี แต่ก็ไม่มีข้อดีเหมือนอย่าง TTL เนื่องจากทรานซิสเตอร์ที่มีอีมิตเตอร์หลายขากินเนื้อที่น้อยกว่าไดโอดหลาย ๆ ตัว ผลที่ได้จากแผ่นไอซีจึงดีกว่า นอกจากนั้นเนื้อที่น้อยให้ผลคือความจุต่อฐาน (substrate) ต่ำ จึงลดเวลาขึ้นและลงและเพิ่มอัตราเร็ว TTL จึงไปแทนที่ DTL รูป 10.6 (b) แสดงไอซี TTL แนนเกท

วงจร TTL ในรูป 10.6 (a) เกือบจะไม่ได้นำมาใช้ในทางปฏิบัติเพราะมีข้อจำกัดของการปลอดสัญญาณรบกวน (noise immunity) นอกจากนี้อัตราเร็วและแฟน-เอาท์ที่สูงขึ้นได้

จากการดัดแปลงเป็นวงจรดังรูป 10.6 (c)ซึ่งต่างจากวงจรรูป 10.6 (a) ตรงส่วนเอาท์พุท อินพุท ของวงจร TTL ต้องการกระแสขับสูงกว่า DTL จึงเป็นสาเหตุที่วงจร TTL มักมีภาคเอาท์พุท กำลังสูง สังเกตจากรูป 10.6 (c) จะเห็นว่าส่วนประกอบอื่น ๆ เป็นชิ้นส่วนแอ็คทีฟ เช่น ไดโอด และทรานซิสเตอร์ นี่เป็นปรัชญาของการสร้างไอซีแบบโมโนลิธิกซึ่งเลือกใช้ทรานซิสเตอร์ หรือไดโอดมากกว่าตัวต้านทาน เพราะมันมีขนาดเล็กกว่าตัวต้านทาน ให้ผลลัพธ์ดีและราคาถูก

วงจรเอาท์พุทในรูป 10.6 (c) เรียกว่า โทเท็ม-โพล เอาท์พุท เพราะส่วนประกอบเอาท์พุท 3 อัน คือ Q_3, D_1 และ Q_4 จัดวงจรในแบบตัวหนึ่งต่ออยู่บนหัวของอีกตัวหนึ่งลักษณะเป็น โทเท็ม โพล การทำงานของวงจรเป็นดังนี้ ถ้าอินพุทใดของ A, B, C, หรือ D เป็นค่าแรงดันต่ำ Q_1 จะเปิด และศักย์ที่คอลเล็กเตอร์ของ Q_1 มีค่าต่ำซึ่งทำให้ Q_2 ปิด อีมิตเตอร์ของ Q_2 จึงต่อกับจุดดินและเบสของ Q_4 ดังนั้น Q_4 ปิดด้วย ภายใต้กรณีเช่นนี้ผลลัพธ์สุทธิจึงเป็นวงจร ซึ่งประกอบด้วย R_2, Q_3, D_1 และโหลด ดังนั้นเอาท์พุทจึงมีค่าแรงดันสูง Q_3 ทำหน้าที่เป็นตัวตามอีมิตเตอร์ (emitter follower) โดยมี R_2เป็นตัวต้านทานเบส และมีโหลดกับ D_1 เป็นความขัดอีมิตเตอร์ (emitter impedance)

ถ้า A, B, C และ D มีแรงดันสูง เบสและคอลเล็กเตอร์ของ Q_1 ก่อร่างเป็นไดโอดที่ถูกไบแอสตรง อนุญาตให้กระแสไหลผ่านจาก $+V_{CC}$ผ่าน R_1 ไปยังเบสของ Q_2 ทำให้ Q_2 เปิด เมื่อ Q_2 เปิดศักย์ตกคร่อม R_3 เพียงพอที่จะไบแอสตรงแก่เบส-อีมิตเตอร์ ไดโอดของ Q_4 ทำให้มันเปิด เมื่อ Q_4 เปิด ศักย์ที่คอลเล็กเตอร์ (เอาท์พุท) มีค่าใกล้ศักย์ของอีมิตเตอร์ ดังนั้นเอาท์พุทจึงเป็นแรงดันต่ำ

D_1 มีหน้าที่ป้องกันไม่ให้ Q_3 และ Q_4 เปิดพร้อม ๆ กัน ถ้าทั้งสองตัวนี้เปิดพร้อมกันจะทำให้ความขัดค่าต่ำมากคร่อมไฟป้อน ซึ่งจะเกิดกระแสสูงมากและมียอดแหลมของสัญญาณรบกวนมากที่สายไฟป้อน

เหตุผลที่จัดวงจรแบบโทเท็ม-โพลก็เพื่อให้มีทั้ง "ดึงขึ้น" (pullup) และ "ดึงลง" (pulldown) วงจรในรูป 10.2 ถึง 10.5 และ 10.6 (a) มีเฉพาะดึงลงเท่านั้น ทั้งนี้เพราะวงจรเหล่านี้มีทรานซิสเตอร์ซึ่งมีตัวต้านทานคอลเล็กเตอร์เป็นภาคเอาท์พุท จึงมีความจุเอาท์พุทจากเอาท์พุทถึงจุดดินเสมอ เมื่อเอาท์พุททรานซิสเตอร์เปิด มันทำตัวเสมือนสวิตช์ที่ช้อตและคายประจุความจุเอาท์พุทอย่างรวดเร็ว ดังนั้นเอาท์พุทจึงถูกดึงลงอย่างรวดเร็ว อย่างไรก็ตามเมื่อเอาท์พุททรานซิสเตอร์ปิด (turn off) มันทำตัวเสมือนสวิตช์เปิด (open) และความจุเอาท์พุทต้องประจุจนถึงตรรกสูงผ่านความต้านทานคอลเล็กเตอร์ ดังนั้นเอาท์พุทไม่ได้ถูกดึงขึ้น

ในทางตรงข้าม วงจรรูป 10.6 (c) Q_4 ดึงเอาท์พุทลงสู่ค่าตรรกต่ำ และ Q_3 ทำตัวเป็นตัวตามอีมิตเตอร์ซึ่งมีความขัดเอาท์พุทต่ำจึงดึงเอาท์พุทให้สูงสู่ค่าตรรกสูง อาจกล่าวอีกนัยหนึ่งได้ว่าเอาท์พุทแบบโทเท็ม-โพลก่อให้เกิดความขัดต่ำในสถานะสูงและสถานะต่ำ ผลลัพธ์คือสัญญาณรบกวนถูกลดลง เพราะสัญญาณรบกวนต้องเชื่อมโยงผ่านความขัดบางอย่าง (เช่น ความจุจากการต่อภายใน) และถูกแบ่งแรงดันโดยความขัดเอาท์พุทของโทเท็ม-โพล ซึ่งมีค่าต่ำ

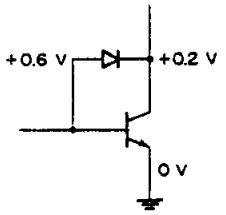
10.2.6 ช้อตกี้ TTL (Schottky TTL)

วงจร TTL มาตรฐานที่กล่าวไปแล้วใช้ทรานซิสเตอร์ให้ทำงานสภาวะอิ่มตัวเมื่อทรานซิสเตอร์ในวงจร TTL เปิด (turn on) ไม่มีการแคลมป์ (clamp) เพื่อป้องกันแรงดันคอลเล็กเตอร์จากการมีค่าใกล้แรงดันอีมิตเตอร์เพียงพอที่จะทำให้ทรานซิสเตอร์อิ่มตัว เมื่อทรานซิสเตอร์ปิด (turn off) ผลของเวลาที่สะสมจะป้องกันคอลเล็กเตอร์จากการขึ้นสูงในทันที จึงทำให้เวลาหน่วงระหว่างสัญญาณตอนปิดที่เบสและแรงดันคอลเล็กเตอร์ที่สอดคล้องกันเกิดการแกว่งอัตราเร็วของเกทจึงไม่เหมาะสม ในระบบดิจิตอล ซึ่งมีเกท (และเวลาหน่วงของเกท) ถูกต่อหลั่น (cascade) ปัญหาเช่นนี้จึงสำคัญ

วงจรตรรกของทรานซิสเตอร์ 2 ขั้ว (bipolar–transistor) 2 ประเภทได้ถูกดัดแปลงขึ้นเพื่อเอาชนะปัญหาของการหน่วงอันเกิดจากผลของเวลาที่สะสมในทรานซิสเตอร์เมื่ออยู่ในสภาวะเปิด ทั้ง 2 ประเภทนี้เป็นวงจรซึ่งไม่อนุญาตให้ทรานซิสเตอร์กลายเป็นอิ่มตัว ซึ่งได้แก่ ช้อตกี้ TTL และ ECL (emitter–coupled logic)

วงจรช้อตกี้ TTL คล้ายกับวงจร TTL มาตรฐานในรูป 10.6 (c) ยกเว้นที่การเพิ่มส่วนประกอบอีกอย่าง คือ ช้อตกี้ไดโอดเข้ากับทรานซิสเตอร์ซึ่งไม่เช่นนั้นแล้วจะเกิดอิ่มตัว ไดโอดถูกต่อเข้าระหว่างคอลเล็กเตอร์กับเบสดังรูป 10.7 เมื่อคอลเล็กเตอร์ของทรานซิสเตอร์มีแรงดันสูงไดโอดจะถูกไบแอสกลับและไม่มีผลที่สำคัญ เมื่อคอลเล็กเตอร์มีแรงดันต่ำดังนั้นทรานซิสเตอร์เปิด (on) ไดโอดมีผลที่สำคัญ ทั้งนี้เนื่องจากสมบัติสำคัญ 2 ประการของไดโอดชนิดนี้คือ ประการแรกช้อตกี้ไดโอดมีรอยต่อแบบโลหะกับซิลิคอน ไม่ใช่ซิลิคอนกับซิลิคอนอย่างในไดโอดธรรมดา ดังนั้นจึงไม่มีประจุส่วนน้อย (minority carrier) และประจุสะสม (stored charge : ประจุสะสมคือประจุส่วนน้อยในไดโอดแบบรอยต่อธรรมดา) การหายไปของประจุสะสมหมายความว่าไดโอดสามารถสวิตช์ได้เร็วกว่าไดโอดซึ่งมีประจุสะสม สมบัติประการที่สองซึ่งเป็นที่ต้องการของช้อตกี้ไดโอดคือ ศักย์ตกคร่อมไดโอดชนิดนี้แบบไบแอสตรงน้อยกว่าของซิลิคอนไดโอด เมื่อทรานซิสเตอร์ในรูป 10.7 เปิด (on) เบสของมันจะอยู่ที่ + 0.6 V เนื่องจากศักย์ตกคร่อมช้อตกี้ไดโอดเมื่อถูกไบแอสตรงมีค่าประมาณ 0.4 V เท่านั้น

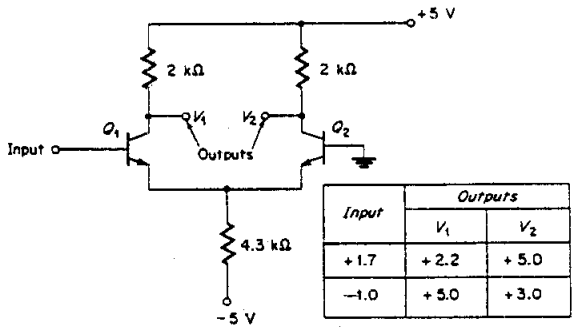
ศักย์ของคอลเล็กเตอร์จึงมีค่าไม่ต่ำกว่า และถูกแคลมป์ที่ + 0.2 V ดังนั้นทรานซิสเตอร์จึงไม่อิ่มตัว และสามารถกลับไปเป็นสภาวะปิด (off) ได้เร็วขึ้นกว่าเมื่อมันอิ่มตัว



รูป 10.7 การแคลมป์ด้วยช้อตกี้ไดโอดเพื่อป้องกันทรานซิสเตอร์อิ่มตัว

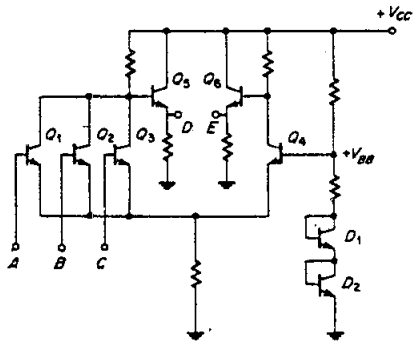
10.2.7 ECL (Emitter–Coupled Logic)

ECL บางครั้งหมายถึง CML (current–mode logic) มีวงจรดังรูป 10.8 ซึ่งจะเห็นว่าเป็นวงจรขยายในแบบดิฟเฟอเรนเชียล (differential amplifier) วงจรชนิดนี้เหมาะสมในการสร้างเป็นไอซีแบบโมโนลิธิก ระดับตรรกเป็นฟังก์ชันของอัตราส่วนตัวต้านทาน และวงจรในทางปฏิบัติ (รูป 10.8 (b)) มีอัตราส่วนของชิ้นส่วนแอคทีฟต่อพาสสีฟสูง



Input	Outputs	
	V_1	V_2
+1.7	+2.2	+5.0
−1.0	+5.0	+3.0

(a)



Inputs			Outputs	
			NOR	OR
A	B	C	D	$E = \bar{D}$
0	0	0	1	0
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1
1	0	0	0	1
1	0	1	0	1
1	1	0	0	1
1	1	1	0	1

(b)

รูป 10.8 (a) วงจรขยายในแบบดิฟเฟอเรนเชียลซึ่งใช้ ECL (CML) และระดับแรงดัน
(b) ECL (CML) นอ–ออเกทในทางปฏิบัติ และตารางความจริง

จากรูป 10.8 (a) สมมุติที่อินพุทเป็น 0V อีมิตเตอร์ทั้งสองจะมีค่าเป็น - 0.7 V และกระแสอีมิตเตอร์จะเป็น 4.3 V/4.3kΩ = 1 mA โดยความสมมาตร กระแสนี้จะถูกแบ่งเท่า ๆ กันสู่ Q_1 และ Q_2 ดังนั้นจึงมีกระแส 0.5 ma ไหลในโหลดแต่ละตัวซึ่งมีค่า 2kΩ จึงมีผลให้เกิดศักย์ตก 1V ดังนั้นแต่ละคอลเล็กเตอร์อยู่ที่ 5 −1 = + 4V สถานการณ์เช่นนี้เป็นสถานการณ์สำหรับคู่ดิฟเฟอเรนเชียลที่ใช้ในวงจรขยายเชิงเส้น (linear amplifier) สำหรับงานทางดิจิตอล วงจรทำงานด้วยอินพุทไม่สูงก็ต่ำ สมมุติระดับตรรกสูงเป็น + 1.7V เบสของ Q_1 จะอยู่ที่ +1.7V, โดยกิริยาของตัวตามอีมิตเตอร์ของมันจึงเป็นลบมากกว่านี้ 0.7V หรือ +1V อีมิตเตอร์ของ Q_2 จะอยู่ที่ +1V เช่นกัน และ Q_2 จะปิด (turn off) เพราะเบสของมันเป็น 0V (จุดดิน) คอลเล็กเตอร์ของ Q_2 จะมีค่า +5V เนื่องจากไม่มีกระแสที่จะทำให้เกิดศักย์คร่อมโหลดของคอลเล็กเตอร์นี้ กระแสทั้งหลายจากตัวต้านทานอีมิตเตอร์ร่วมจะไหลในโหลดของคอลเล็กเตอร์ของ Q_1 กระแสนี้มีค่า 6V/4.3kΩ = 1.4 mA ทำให้เกิดศักย์ตกคร่อม 2kΩ เป็น (2kΩ) × (1.4mA) = 2.8V ดังนั้นศักย์ของคอลเล็กเตอร์ของ Q_1 จึงเป็น 5 − 2.8 = + 2.2V

สมมุติว่าขณะนี้อินพุทลงไปสู่ระดับตรรกต่ำคือ − 1.0V เนื่องจากอีมิตเตอร์ร่วมจะตามเบสบวกทั้งหลายเสมอ (สำหรับทรานซิสเตอร์ชนิด npn) อีมิตเตอร์มีศักย์สมมุติเป็น −0.7V ซึ่งคือ 0.7V ต่ำกว่าเบสของ Q_2 ซึ่งมีค่าอยู่ที่ 0V ดังนั้น Q_1 จึงปิด (off) และมีศักย์คอลเล็กเตอร์เป็น +5.0V ขณะนี้ Q_2 รับกระแสป้อนทั้งหมดโดยตัวต้านทานอีมิตเตอร์ กระแสนี้มีค่า 4.3V/4.3kΩ = 1 mA ทำให้เกิดศักย์ตกคร่อมตัวต้านทานคอลเล็กเตอร์ของ Q_2 เป็น 2V ดังนั้นคอลเล็กเตอร์ของ Q_2 จึงเป็น + 3.0V

ตัวเลขเหล่านี้สรุปอยู่ในตารางดังรูป 10.8 (a) รูปวงจร 10.8 (a) นี้อธิบายคำ ECL และ CML จะเห็นว่าวงจรนี้ประกอบด้วยทรานซิสเตอร์ซึ่งต่อเชื่อมอีมิตเตอร์กันอยู่ จึงมีชื่อว่า ECL (emitter−coupled logic) การทำงานของวงจรเป็นลักษณะที่กระแสในตัวต้านทานอีมิตเตอร์ถูกสวิตช์จากทรานซิสเตอร์หนึ่งสู่ทรานซิสเตอร์อีกตัวหนึ่ง ขึ้นอยู่กับอินพุทสูงหรือต่ำ กิริยาการสวิตช์ของกระแสเช่นนี้จึงทำให้ได้ชื่ออีกอันหนึ่งคือ CML (current−mode logic) ตารางของศักย์ที่คอลเล็กเตอร์ในรูป 10.8 (a) แสดงข้อดีเบื้องต้นของ ECL ซึ่งไม่มีทรานซิสเตอร์ตัวใดอิ่มตัว นี่เป็นเหตุผลที่ ECL เป็นวงจรตรรกประเภทความเร็วสูงสุด ด้วยเวลาการหน่วงอันเนื่องจากการแผ่ (propagation delay time : PDT) อยู่ในอันดับของ 2 นาโนวินาที (a couple of nanoseconds) วงจร TTL มาตรฐานมี PDT ประมาณ 4 เท่าของ ECL สังเกตว่าการแกว่งของอินพุทเป็น 2.7 V และการแกว่งของคอลเล็กเตอร์คือ 2.8 และ 2.0 V ตามลำดับ หมายความว่าวงจรนี้สามารถออกแบบให้เอาท์พุทอันหนึ่งมีค่ามากพอเพียงที่จะขับวงจรอื่นซึ่งคล้าย

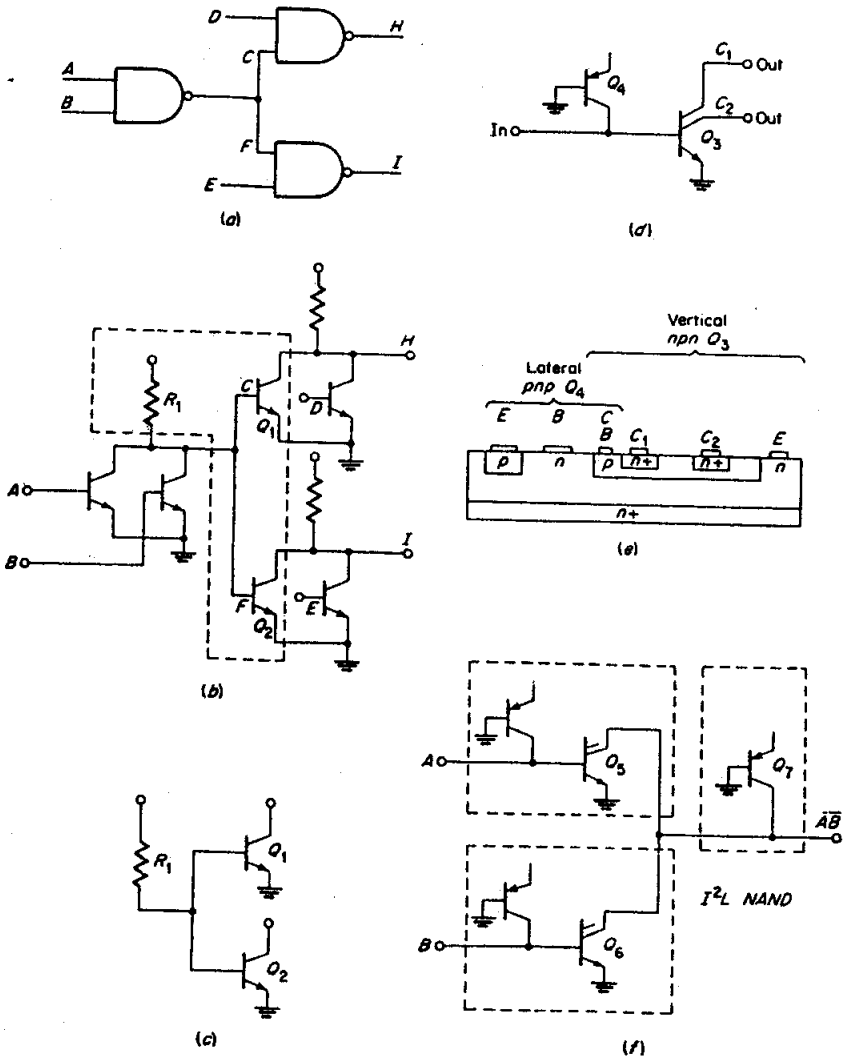
คลึงกันหลังจากที่มีการเลื่อนระดับแรงดันที่เหมาะสมแล้ว ECL มีลักษณะเป็นหนึ่งเดียวในแบบที่มีเอาท์พุท 2 อัน โดยมีอันหนึ่งเป็นคอมพลีเมนท์ของอีกอันหนึ่งเสมอ จึงทำให้เกิดความยืดหยุ่นต่อนักออกแบบ

ECL อาจออกแบบให้มีฟังก์ชันตรรกโดยเพิ่มทรานซิสเตอร์เข้าไปขนานกับอินพุททรานซิสเตอร์ดังรูป 10.8 (b) Q_1, Q_2, Q_3 เป็นอินพุททรานซิสเตอร์เชิงตรรก และ Q_4 เป็นทรานซิสเตอร์อ้างอิงร่วม สังเกตว่าเบสของ Q_4 ต่ออยู่กับไฟป้อน $+V_{BB}$ และตัวต้านทานอีมิตเตอร์ร่วมต่อกับจุดดิน ซึ่งขัดแย้งกับวงจรในรูป 10.8 (a) ทั้งนี้เพื่อป้องกันการใช้ไฟป้อน 2 แหล่ง V_{BB} ได้รับมาจาก V_{CC} และเป็นการชดเชยอุณหภูมิโดยการใช้ไดโอด D_1, D_2 ต่อเข้าเป็นทรานซิสเตอร์ ใช้ตัวตามอีมิตเตอร์ที่เอาท์พุทเพื่อลดความขัดเอาท์พุท และเพื่อจัดระดับขั้นของการเลื่อน เนื่องจากมี 2 เอาท์พุท คือ D และ E ซึ่งเป็นคอมพลีเมนต์ของกันและกัน หน้าที่ของวงจรจึงเป็นได้ทั้งนอเกท หรือออเกท (ใช้ตรรกบวก) ขึ้นอยู่กับการเลือกจุดเอาท์พุท ตัวอย่างเช่น ตรรกสูงที่ A, B หรือ C ทำให้ Q_1, Q_2 หรือ Q_3 ทำงานจึงได้ D ต่ำ เป็นเงื่อนไขของนอเกท ในทำนองเดียวกัน ตรรกสูงที่ A, B หรือ C ทำให้ Q_4 ไม่ทำงาน ทำให้ E สูงเป็นเงื่อนไขของออเกท ตารางความจริงในรูป 10.8 (b) แสดงสภาวะประสมต่าง ๆ ของอินพุท และเอาท์พุทที่เป็นไปได้

10.2.8 I^2L (Integrated–Injection Logic)

ตรรก 2 ขั้ว (bipolar logic) ที่น่าสนใจอีกชนิดหนึ่งคือ I^2L เป็นตรรกที่ก่อร่างมาจากการกำจัดตัวต้านทานซึ่งใช้ไบแอสและโหลด ยกเว้นตัวต้านทาน 1 ตัวที่ใช้ไบแอสชิพทั้งแผ่น ตัวต้านทานกินกำลังและเนื้อที่ของชิพ ดังนั้นการกำจัดทิ้งจึงให้ผลเป็นวงจรซึ่งมีความหนาแน่นเพิ่มขึ้นและทำงานด้วยกำลังไฟฟ้าลดลง ในขณะที่อัตราเร็วเป็นสิ่งสำคัญเช่นเดียวกับในคอมพิวเตอร์ขนาดใหญ่ ชิพของ I^2L เกทซึ่งมีจำนวน 1000 หรือมากกว่าสามารถทำงานด้วยกำลังไฟฟ้าน้อยกว่า ชิพของ TTL 100 เกท และด้วยอัตราเร็วเกือบเท่ากัน โดยที่ความหนาแน่นในวงจรไอซีเป็นสิ่งสำคัญยิ่ง ชิพของ I^2L จึงเหมาะสมในการนำไปใช้กับนาฬิกาข้อมือแบบดิจิตอลด้วยเหตุผลที่ I^2L สิ้นเปลืองกำลังไฟฟ้าเพียงไมโครวัตต์ (microwatt) แต่ยังสามารถจัดกระแสไฟฟ้าค่าสูงซึ่งจำเป็นต่อการขับไดโอดเปล่งแสง (light–emitting diode) ซึ่งประกอบอยู่ในส่วนแสดงผลของนาฬิกาข้อมือแบบดิจิตอลได้ นี่เป็นเพียงตัวอย่างหนึ่ง

วงจร I^2L เป็นผลมาจากการจัดวงจร DCTL ใหม่โดยใช้วงจรเทียบเท่าทรานซิสเตอร์ประกอบ ดังรูป 10.9



รูป 10.9 (a) ส่วนของระบบตรรกแบบแนนเกท
(b) สร้างโดย DCTL
(c) แยกชิ้นส่วนของ DCTL
(d) วงจรเทียบเท่าในแบบ I^2L ของ (c)
(e) การสร้าง I^2L
(f) แนนเกทใช้ I^2L

รูป 10.9 (a) แสดงส่วนของระบบตรรกที่ใช้แนนเกท และรูป (b) เป็นรายละเอียดวงจรที่ใช้ DCTL รูป (c) เป็นส่วนหนึ่งของวงจรในรูป (b) โดยนำชิ้นส่วน 1 อันจากแนนเกทแต่ละตัว (ในทั้ง 3 ตัว) ซึ่งคือ R_1, Q_1 และ Q_2 มาต่อรวมกันเป็นวงจรหนึ่ง สังเกตว่าทราน-

ซิสเตอร์มีอีมิตเตอร์ร่วม และเบสร่วม ดังนั้น Q_1 และ Q_2 สามารถแทนด้วยทรานซิสเตอร์ตัวเดียว (ซึ่งคือ Q_3 ในรูป (d)) ซึ่งมี 1 อีมิตเตอร์ และ 1 เบส Q_3 มีคอลเล็กเตอร์คู่ ดังนั้นคอลเล็กเตอร์ทั้งสองจึงแทนคอลเล็กเตอร์ของ Q_1 และ Q_2 ในรูป (c) ตัวต้านทาน R_1 มี 2 หน้าที่ คือ ประการหนึ่งเป็นแหล่งของกระแสสำหรับเบสของ Q_1 และ Q_2 และอีกประการหนึ่งเป็นตัวต้านทานโหลดสำหรับภาคก่อนหน้านั้น ในรูป (d) ทรานซิสเตอร์แบบ pnp Q_4 ทำหน้าที่เหมือนกัน วิธีหนึ่งในการทำหน้าที่เป็นแหล่งกระแสของ R_1 คือต่อกับไฟป้อน +5 V แล้วจ่ายให้ทางอีมิตเตอร์ของ Q_4 ตัวต้านทานนี้จะร่วมกับเกทมากมาย และกระแสที่มันฉีด (inject) เข้าสู่ Q_4 จะจัดกระแสทำงานของระบบ กล่าวคือ กระแสสูงสำหรับอัตราเร็วสูง และกระแสต่ำสำหรับกำลังต่ำ การฉีดของกระแสในลักษณะเช่นนี้เป็นที่มาของชื่อตรรกนี้ (integrated–injection logic)

รูป 10.9 (d) แสดงรูปแบบสำคัญของ I^2L ไม่มีตัวต้านทานในวงจร วงจรต้องการทรานซิสเตอร์ชนิด npn และ pnp บนชิพเดียวกัน การพอกของกระแสไม่เกิดเป็นปัญหาเหมือนอย่างใน DCTL เพราะเบสต่าง ๆ และอีมิตเตอร์ต่าง ๆ ถูกรวมเข้าเป็นรอยต่อเบส–อีมิตเตอร์เดียว ดังนั้นในรูป 10.9 (c) Q_1 และ Q_2 อาจดึงกระแสเบสที่ต่างกันจาก R_1 และทรานซิสเตอร์ตัวหนึ่งอาจดึงกระแสมากกว่าค่าเฉลี่ย (เนื่องจากความแตกต่างใน Q_1 และ Q_2) จนทำให้ทรานซิสเตอร์อีกตัวหนึ่งไม่มีกระแสเบสเพียงพอที่จะทำงานอย่างถูกต้องได้ ในรูป 10.9 (d) Q_3 มีรอยต่อเบส–อีมิตเตอร์เพียงรอยต่อเดียวจึงไม่เกิดปัญหาขึ้น อีกแบบหนึ่งของ I^2L ซึ่งง่ายมากในการสร้างคือเพราะ Q_4 อาจเป็น pnp ทรานซิสเตอร์ ตอนข้าง (lateral) โดยมี p ต่อด้วย n ต่อด้วย p ไปในแนวราบ และ Q_4 อาจเป็น npn ในแนวดิ่งโดยมี n ต่อด้วย p ต่อด้วย n ในแนวดิ่ง แบบนี้แสดงอยู่ในรูป 10.9 (e) สังเกตว่าเบสของ pnp ทรานซิสเตอร์มีอาณาเขตของ n อันเดียวกับอีมิตเตอร์ npn ทรานซิสเตอร์ซึ่งเป็นไปตามที่ต้องการในรูป 10.9 (c) เนื่องจากเบสและอีมิตเตอร์ต่อร่วมกันอยู่ คอลเล็กเตอร์ของ pnp ทรานซิสเตอร์เป็นอาณาเขต p ของเบสของ npn ทรานซิสเตอร์ด้วย ซึ่งก็เป็นไปตามที่ต้องการเช่นเดียวกัน ปรากฏการณ์ของอาณาเขตร่วม และการสูญหายของการเชื่อมต่อภายในเป็นเหตุผลบางประการที่ทำให้ I^2L ง่ายต่อการผลิตและมีชื่ออีกอย่างว่าตรรกทรานซิสเตอร์ควบ (merged–transistor logic)

รูป 10.9 (d) ยังแสดงอีกด้วยว่า I^2L เป็นเทคนิควงจรใหม่ไม่เหมือนเกทต่าง ๆ ที่ได้กล่าวมาแล้ว เนื่องจาก I^2L มีอินพุทเดียว (ไม่รวมการฉีดกระแสไบแอสที่ต้องการ) และมีเอาท์พุท 2 อัน แม้ว่าเกท I^2L อื่น ๆ อาจมีเอาท์พุทมากกว่าสองผ่านคอลเล็กเตอร์มากกว่าสองของ Q_3 เป็นเรื่องปกติที่จะทำงานด้วยเกทที่มีหลายอินพุท และ 1 เอาท์พุท (ECL มี 2 เอาท์พุท แต่

เอาท์พุทหนึ่งเป็นเพียงคอมพลีเมนต์ของอีกเอาท์พุทหนึ่ง) อย่างไรก็ตามแนน นอ หรือฟลิบ-ฟลอบสามารถสร้างโดยการเชื่อมต่อภายในที่เหมาะสมของเกทแบบ I^2L ที่เป็นพื้นฐาน ในการประยุกต์ MSI/LSI การเชื่อมต่อภายในนี้กระทำบนชิพ เพื่อเป็นตัวอย่างรูป 10.9 (f) แสดง I^2L แนนเกท Q_5 และ Q_6 จะเปิดหรือปิดโดย A และ B Q_7 เป็นโหลดของคอลเล็กเตอร์ร่วม ซึ่งให้เอาท์พุทของแนนเกทเป็น $\overline{AB}$ ดังรูป

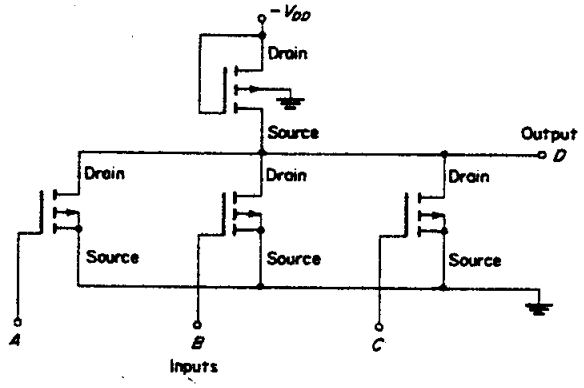
10.2.9 ตรรก P และ NMOS (P and NMOS Logic)

ไอซีตรรกที่กล่าวมาแล้วทั้งหมดใช้ทรานซิสเตอร์ชนิด 2 ขั้ว (bipolar transistor : ทรานซิสเตอร์ที่มีพาหะประจุเป็นอิเล็กตรอนและโฮล (hole)) เป็นชิ้นส่วนขยาย อย่างไรก็ตาม MOSFET (Metal Oxide Semiconductor Field Effect Transistor) เป็นชิ้นส่วนที่เหมาะแก่การสร้างไอซีตรรกอย่างยิ่ง มันทำหน้าที่ทั้งขยายและตัวต้านทานโหลด ดังนั้นจึงกำจัดความจำเป็นของตัวต้านทานโหลดธรรมดาทิ้งไปได้ ดังในกรณีของ I^2L เมื่อเปรียบเทียบกับตัวต้านทานธรรมดาแล้ว MOSFET เปลืองเนื้อที่น้อยมาก ดังนั้นสามารถบรรจุวงจรได้มากบนแผ่นชิพเดียวกันได้ วงจร MOSFET ให้ผลิตผลสูงจึงทำวงจรซับซ้อนได้ การเชื่อมต่อระหว่างชิ้นส่วนก็ง่ายด้วยเพราะตรงไปตรงมา

วงจร MOS ทรานซิสเตอร์มี 2 ประเภท ประเภทแรกใช้ทรานซิสเตอร์ที่มีขั้วเพียงชนิดเดียว เกทหรือชิ้นส่วนตรรกอื่น ๆ อาจประกอบด้วยทรานซิสเตอร์แบบ MOS ชนิด n ทั้งหมด หรือ p ทั้งหมด แต่ไม่ใช่ทั้ง 2 ชนิดบนชิพเดียวกัน ประเภทที่สองใช้ทั้งทรานซิสเตอร์แบบ MOS ชนิด n และ p บนชิพเดียวกัน เรียกว่า คอมพลีเมนทารี MOS (Complementary MOS :CMOS) แม้ว่า CMOS ช้าเมื่อเปรียบเทียบกับตรรกในตระกูลอื่น แต่มันมีข้อดีและเป็นตระกูลตรรกที่มีมากกว่า เราจะกล่าวถึงตรรกชนิดนอนคอมพลีเมนทารีก่อน (หมายถึง MOS ทรานซิสเตอร์ชนิด n หรือชนิด p อย่างใดอย่างหนึ่งบนชิพ มิใช่ทั้ง 2 อย่าง)

รูป 10.10 แสดงรูปแบบของแนนเกทสร้างโดย MOS ทรานซิสเตอร์ชนิด p ให้สังเกตว่าไม่มีตัวต้านทานในวงจร วงจรประกอบด้วย MOS ทรานซิสเตอร์ 3 ตัวเป็นชิ้นส่วนตรรก โดยมีตัวที่สี่เป็นตัวต้านทานโหลด การพอกของกระแสไม่มีในวงจรเช่นนี้ เพราะตามความเป็นจริง MOS อินพุทไม่ได้ดึงกระแสเกทในสภาวะเงียบ (quiescent) ดังนั้นจึงไม่ต้องมีตัวต้านทานอินพุท อุปกรณ์แบบส่งเสริม (enhancement–mode) เป็นที่นิยมกว่าแบบการพร่อง (depletion) เพราะชนิดส่งเสริมสามารถเปิดหรือปิด (on or off) ด้วยแรงดันป้อนหรือร่วมเป็นอินพุท ดังนั้นไฟป้อน 2 ขั้ว (dual polarity) จึงไม่จำเป็นต้องมี นี่เป็นเหตุผลที่ JFET ซึ่งคือชนิดการพร่องจึงไม่ได้นำมาใช้ในวงจรตรรก ถ้า $-V_{DD}$ ในรูป 10.10 เป็น $-12V$ แรงดันนี้จะไปทำให้ทรานซิสเตอร์

ทำงาน (turn on) และ 0V จะไปทำให้มันไม่ทำงาน (turn off) เพราะเป็นตรรกบวก ดังนั้น 0V คือตรรก 1 และ −12V คือตรรก 0 (เนื่องจากกำหนดให้ 1 เป็นแรงดันบวก) ถ้า A, B หรือ C ในรูป 10.10 อยู่ที่ −12V (ตรรก 0) อินพุททรานซิสเตอร์ 1 ตัว หรือมากกว่าจะเปิด (on) ดังนั้น จึงมีความต้านทานต่ำจากทางออก (drain) ถึงต้นเค้า (source) ทำให้เอาท์พุทเข้าใกล้ 0V (ตรรก 1) เมื่อ A, B และ C เป็น 0V ทั้งหมดเท่านั้นจึงจะให้เอาท์พุทเป็นแรงดันสูง ตารางความจริงใน รูป 10.10 แสดงว่าแนนเกทวงจรนี้เป็นชนิดตรรกบวก (หรือเป็นนอเกทตรรกลบ เพราะเกท 2 แบบนี้เป็นเอกลักษณ์กัน)



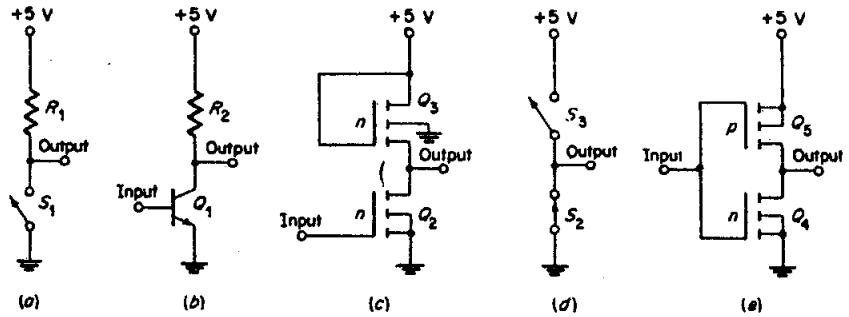
Inputs			Output
A	B	C	D
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

For positive logic: 1 = 0 V (Turns *p*-channel enhancement MOS off)
0 = −12 V (Turns *p*-channel enhancement MOS on)

รูป 10.10 PMOS แนนเกท และตารางความจริง

10.2.10 ตรรก CMOS (CMOS Logic)

แม้ว่าการใช้ MOS มาแทนที่ตัวต้านทาน แล้วจะเพิ่มความหนาแน่นของวงจรก็ตาม โหลดทรานซิสเตอร์ก็ยังคงกินกำลังไฟฟ้าในปริมาณเท่า ๆ กัน ประหยัดเนื้อที่แต่ไม่ประหยัดกำลังไฟฟ้า เมื่อใช้ MOS ทรานซิสเตอร์ทั้งชนิด p และ n บนชิพเดียวกัน มันจะถูกจัดในลักษณะที่ให้ผลเป็นความประหยัดกำลังไฟฟ้าที่ใช้ ซึ่งเป็นข้อดีของวงจรตรรกแบบ CMOS การลดลงของกำลังไฟฟ้านี้เกิดขึ้นได้อย่างไร สามารถอธิบายได้โดยอาศัยรูป 10.11



รูป 10.11 ดิจิตอลสวิตช์

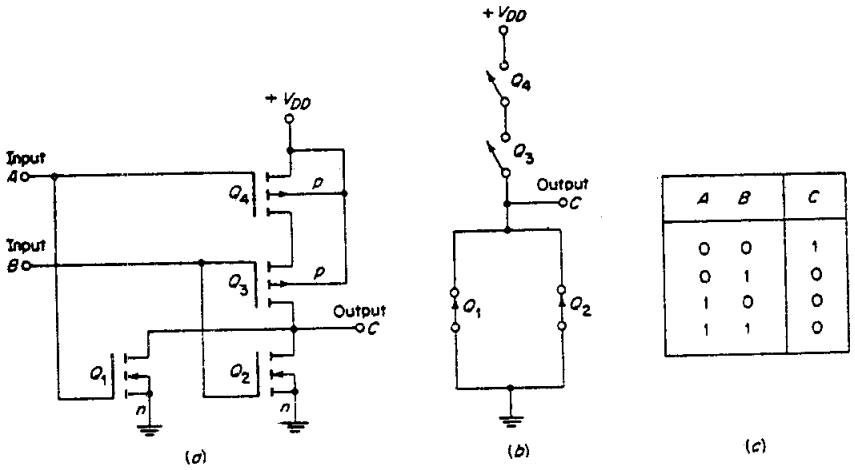
วัตถุประสงค์อย่างหนึ่งของเกท ฟลิบฟลอบ หรือชิ้นส่วนอื่น ๆ ในระบบดิจิตอล คือ การผลิตการเปลี่ยนแปลงแรงดันเอาท์พุทซึ่งมีขนาดอยู่ภายในขอบเขตที่เราทราบ อันเป็นการตอบสนองต่อการเปลี่ยนแปลงระดับแรงดันอินพุทที่เป็นมาตรฐาน ในรูป 10.11 เอาท์พุททั้งห้าวงจร จะเปลี่ยนแปลงจาก 0 ถึง +5V หรือจาก +5V ถึง 0 ขึ้นอยู่กับอินพุท รูป (a) การสวิตช์เป็นแบบเชิงกลโดยการเปิดหรือปิด S_1 เมื่อ S_1 เปิด เอาท์พุทเป็น +5V หรือ S_1 ปิด เอาท์พุทเป็น 0V ในรูป (b) สวิตช์ S_1 ถูกแทนด้วยทรานซิสเตอร์แบบ 2 ขั้ว Q_1 แต่ให้ผลเช่นเดียวกับรูป (a) ในรูป (c) ทรานซิสเตอร์แบบ 2 ขั้วถูกแทนด้วย ทรานซิสเตอร์แบบส่งเสริมชนิด n (n-channel enhancement-mode transistor) Q_2 และแทนตัวต้านทานโหลด R_2 ด้วยทรานซิสเตอร์แบบเดียวกัน Q_3 ซึ่งใช้เป็นตัวต้านทาน อินพุทที่เหมาะสมจะให้เอาท์พุทมีค่า 0 หรือ +5V เช่นเดียวกัน สังเกตว่าวงจรในรูป (a), (b) และ (c) มีรูปแบบร่วมกัน เมื่อ S_1 ปิด (closed) มีการใช้จ่ายกำลังไฟฟ้าใน R_1 เมื่อ Q_1 เปิด (on) มีการใช้จ่ายกำลังใน R_2 เมื่อ Q_2 เปิด (on) มีการใช้จ่ายกำลังใน Q_3 เมื่อ S_1 เปิด (open), Q_1 และ Q_2 ไม่ทำงาน (off) ทั้ง 3 วงจรไม่มีการสิ้นเปลืองกำลังไฟฟ้า

วงจรในรูป 10.11 (d) เมื่อสวิตช์ S_2 เปิด (open) S_3 ปิด (closed) เอาท์พุทจะมีค่า +5V และเมื่อ S_2 ปิด, S_3 เปิด เอาท์พุทจะมีค่า 0V ความสำคัญของวงจรนี้คือไม่มีการใช้จ่ายกำลังไฟฟ้าไม่ว่าเอาท์พุทจะสูงหรือต่ำ ซึ่งเหมือนกับวงจรในรูป 10.11 (e) ที่ใช้ CMOS จัดวงจรจะเห็นว่าเมื่ออินพุทอยู่ที่ 0V Q_4 ไม่ทำงาน (off) และ Q_5 ทำงาน (on) ดังนั้นเอาท์พุทมีค่า +5V เนื่องจาก Q_4 ไม่ทำงานจึงไม่มีกระแสไหลจากขั้วบวกของไฟป้อนไปยังจุดร่วม จึงไม่มีการใช้กำลังไฟฟ้า เมื่ออินพุทอยู่ที่ +5V Q_4 ทำงาน Q_5 ไม่ทำงาน ดังนั้นเอาท์พุทมีค่า 0V เนื่องจาก Q_5 ไม่ทำงานวงจรจึงไม่ได้ใช้กำลังไฟฟ้า ยกเว้นกระแสรั่วไหล (leakage current) อย่างไรก็ตามเมื่อเกทสวิตช์จากระดับหนึ่งไปยังอีกระดับหนึ่งจะมีการใช้กำลังไฟฟ้าไปบ้าง

เนื่องจากทรานซิสเตอร์ทั้งสองทำงานบางส่วน (partty on) ที่เวลาเดียวกัน ด้วยเหตุผลนี้กำลังซึ่งใช้ไปโดย CMOS จึงเป็นฟังก์ชันของความถี่ : ความถี่ยิ่งสูงยิ่งต้องการกำลังมาก เพราะผลของรอบการทำงาน (duty-cycle) จึงเป็นไปไม่ได้ที่จะตั้งกฎตายตัวลงไป แต่ที่ความถี่ในราว 1 MHz CMOS เริ่มสูญเสียข้อดีในการประหยัดกำลังเหนือกว่า TTL

สังเกตว่าวงจรในรูป 10.11 (e) เป็นวงจรอินเวิตเตอร์ เช่นเดียวกับวงจรรูป 10.11 (b) และ (c)

รูป 10.12 แสดงวงจร CMOS นอเกท Q_1 และ Q_2 เป็น MOS ทรานซิสเตอร์ชนิด n ในขณะที่ Q_3 และ Q_4 เป็นชนิด p อินพุท A และ B สวิตช์ระหว่าง $+V_{DD}$ (ตรรก 1) และจุดดิน (ตรรก 0)



A	B	C
0	0	1
0	1	0
1	0	0
1	1	0

รูป 10.12 (a) CMOS นอเกท (b) วงจรสวิตชิ่งเทียบเท่า
(b) ตารางความจริง

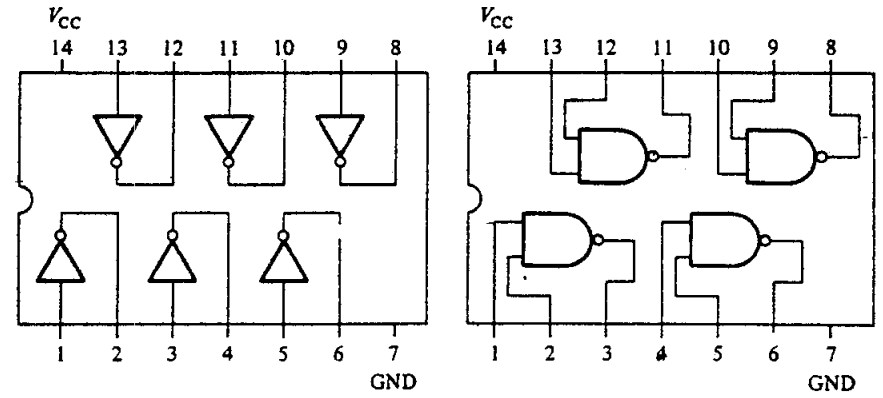
เมื่อ Q_1 และ Q_2 ทำงาน (on) มันจะทำตัวเป็นสวิตช์ปิด ดังรูป 10.12 (b) กรณีเช่นนี้เกิดเมื่อ A และ B เป็นตรรก 1 ตรรก 1 ที่อินพุทยังมีผลให้ Q_3 และ Q_4 ไม่ทำงาน (off) ดังนั้นมันจะทำตัวเป็นสวิตช์เปิด นั่นคือ ถ้า A = B = 1 แล้ว C = 0 ตารางความจริง 10.12 (c) แสดงสภาวะประสมต่าง ๆ ของนอเกท จากตารางความจริงนี้จะเห็นว่ามีอย่างน้อยหนึ่งสวิตช์เปิดในเส้นทางจาก +V ไปยังจุดดิน ดังนั้นเกทจึงดึงเพียงกระแสรั่วไหลจากแรงดันป้อนสำหรับสถานะสถิตใด ๆ เท่านั้น

นอกจากข้อดีของวงจร CMOS ที่ใช้กำลังไฟฟ้าน้อยแล้ว CMOS ยังสามารถทำงานในช่วงแรงดันป้อนช่วงกว้างจาก 3 ถึง 18 V ในขณะที่วงจรอย่างอื่นทำงานที่ 1.1 V อุปกรณ์ที่ทำงานด้วยแรงดัน 3 ถึง 18 V สามารถให้มันทำงานที่ 5V เหมือนตระกูลตรรกอื่น ๆ ถ้ามีการต่อเชื่อมโยงร่วม (interface) กับวงจรอื่น นอกจากนี้อาจใช้ CMOS ให้ทำงานที่ +15V เมื่อมีการประยุกต์วงจรดิจิตอลใช้ผสมกับอุปกรณ์อะนาล็อก (analog) ดังเช่นออปแอมป์ (operational amplifier) ซึ่งป้อนแรงดันจาก ± 15V เนื่องจาก CMOS สวิตช์เร็วขึ้นเมื่อป้อนกำลังจาก 15V กว่าเมื่อป้อน 5V จึงมักป้อนแรงดันค่าสูงแก่ CMOS เมื่อต้องการอัตราเร็วในการทำงาน

จากที่กล่าวมาแล้วจะเห็นว่าข้อดีของ CMOS ที่เด่น ๆ มี 2 ประการ คือการใช้กำลังน้อยและให้ความหนาแน่นของวงจรไอซีสูงสำหรับชิพหนึ่ง ๆ ที่กำหนด CMOS ก็มีข้อเสีย คือทำงานค่อนข้างช้า อย่างไรก็ตามมีการพัฒนาเทคโนโลยีการสร้าง CMOS ให้มีอัตราเร็วเพิ่มขึ้น เช่น SOS/MOS (silicon-on-sapphire MOS) ซึ่งให้อัตราเร็วกว่า CMOS มาตรฐาน 2-4 เท่า

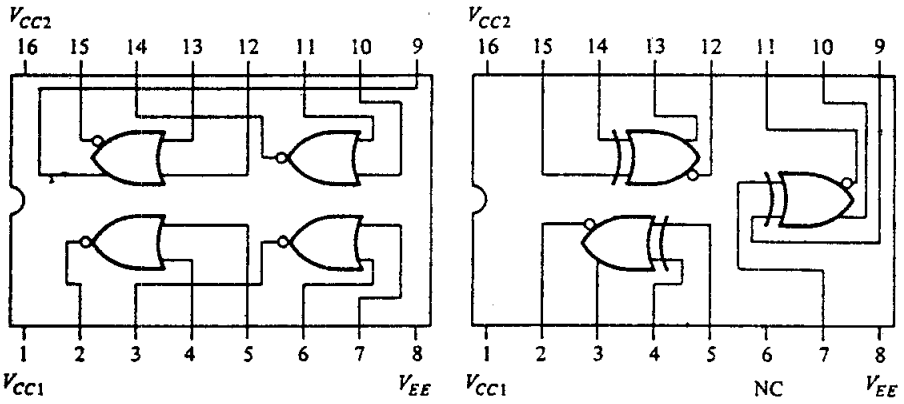
10.2.11 ตรรก 3 สถานะ (Three-State Logic)

เนื่องจากเอาท์พุทของ TTL เกท 2 ตัว ในแบบโทเท็ม-โพล ไม่สามารถนำมาเชื่อมต่อกันได้ จึงหาทางสร้างเกทชนิดใหม่ ซึ่งทำให้เชื่อมต่อเอาท์พุทของเกทต่าง ๆ แบบ TTL โทเท็ม-โพล เข้าด้วยกันได้ เรียกว่า เกท 3 สถานะ (three-state or tri-state gate)



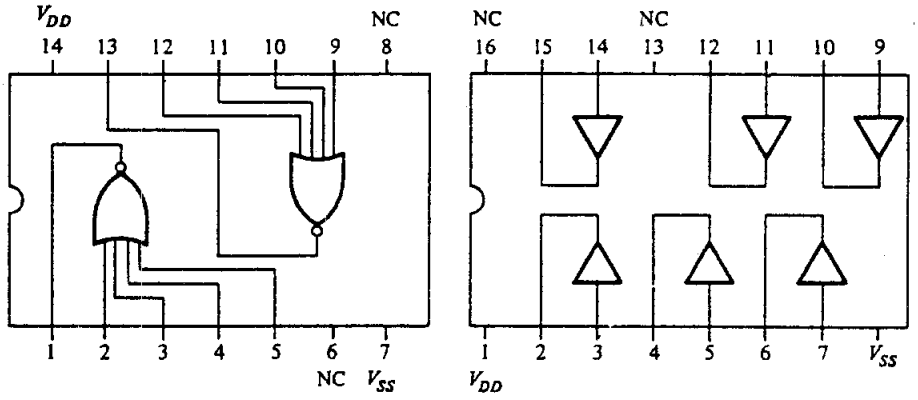
7404–Hex inverters　　7400–Quadruple 2-input NAND gates

(a) TTL gates.



10102–Quadruple 2-input NOR gates　　10107–Triple exclusive-OR/NOR gates

(b) ECL gates.



4002–Dual 4-input NOR gates.　　4050–Hex buffers.

(c) CMOS gates.

รูป 10.13 ตัวอย่างไอซีเกท

เกท 3 สถานะ ให้เอาท์พุทของเกทเป็น 3 สถานะคือ

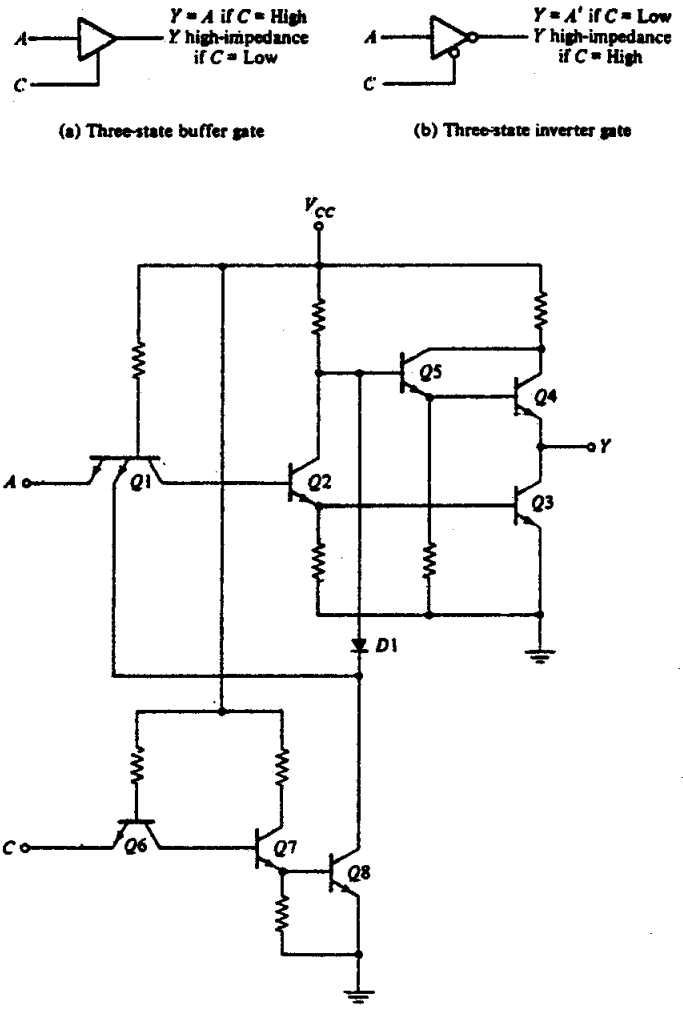
1) สถานะระดับต่ำ (low-level state) เมื่อทรานซิสเตอร์ตัวล่างในโทเท็ม-โพล ทำงาน (on) และตัวบนไม่ทำงาน (off)

2) สถานะระดับสูง (high-level state) เมื่อทรานซิสเตอร์ตัวบนในโทเท็ม-โพล ทำงาน (on) และตัวล่างไม่ทำงาน (off)

3) สถานะที่สามเกิดเมื่อทรานซิสเตอร์ทั้งสองในโทเท็มโพลไม่ทำงาน (off) สถานะที่สามจัดให้เกิดวงจรเปิดหรือสถานะที่มีความขัดสูง ซึ่งทำให้การเชื่อมต่อโดยตรงของเอาท์พุทหลายอันกลายเป็นสายร่วม

รูป 10.14 (a) เป็นสัญลักษณ์ของเกทบัฟเฟอร์ 3 สถานะ (three-state buffer gate) เมื่ออินพุทควบคุม C มีค่าสูงเกททำงาน (enable) และประพฤติตัวเป็นบัฟเฟอร์ปกติ โดยมีเอาท์พุทเหมือนอินพุท เมื่ออินพุทควบคุมมีค่าต่ำ เอาท์พุทจะเป็นวงจรเปิด ซึ่งทำให้ความขัดสูง (เป็นสถานะที่สาม) โดยไม่คำนึงถึงค่าที่อินพุท เกท 3 สถานะบางอย่างให้ความขัดสูงเมื่ออินพุทควบคุมมีค่าสูง ดังตัวอย่างรูป 10.14 (b) จะเห็นว่ามีวงกลมเล็ก ๆ 2 วง อยู่ที่สัญลักษณ์ วงหนึ่งสำหรับแสดงอินเวิตเตอร์เอาท์พุท และอีกวงหนึ่งเพื่อแสดงว่าเกททำงาน (enable) เมื่อ C มีค่าต่ำ

วงจรอินเวิตเตอร์ 3 สถานะ แสดงดังรูป 10.14 (c) ทรานซิสเตอร์ Q_6, Q_7, Q_8 สอดคล้องกับอินพุทควบคุม ทรานซิสเตอร์ Q_1 ถึง Q_5 สอดคล้องกับอินพุทข้อมูล ก่อร่างเป็นวงจรโทเท็มโพล TTL วงจรทั้งสองเชื่อมต่อกันด้วยไดโอด D_1 ทรานซิสเตอร์ Q_8 ไม่ทำงาน (turn off) เมื่ออินพุทควบคุม C มีสถานะเป็นระดับต่ำ ซึ่งป้องกันไม่ให้ไดโอด D_1 นำกระแส และอีมิตเตอร์ของ Q_1 ซึ่งต่ออยู่กับ Q_8 ก็ไม่มีเส้นทางนำกระแสด้วยเช่นกัน ภายใต้เงื่อนไขนี้ Q_8 ไม่มีผลต่อการทำงานของเกท เอาท์พุท Y จึงขึ้นกับข้อมูลที่อินพุท A เท่านั้น



(a) Three-state buffer gate

(b) Three-state inverter gate

(c) Circuit diagram for the three-state inverter of (b)

รูป 10.14 เกท TTL 3 สถานะ

เมื่ออินพุทควบคุมมีระดับสูง ทรานซิสเตอร์ Q_8 ทำงาน (turn on) มีกระแสไหลจาก V_{CC} ผ่านไดโอด D_1 ทำให้ทรานซิสเตอร์ Q_8 อิ่มตัว แรงดันที่เบสของ Q_5 ขณะนี้มีค่าเท่ากับแรงดันคร่อมทรานซิสเตอร์ Q_8 ซึ่งอิ่มตัวบวกกับแรงดันตกคร่อมหนึ่งไดโอด หรือ 0.9V แรงดันค่านี้ ทำให้ Q_5, Q_4 ไม่ทำงาน (turn off) เนื่องจากน้อยกว่า แรงดันคร่อมไดโอด (V_{BE}) 2 ตัว ที่เวลาเดียวกันอินพุทค่าต่ำที่เข้าสู่หนึ่งอีมิตเตอร์ของ Q_1 บีบให้ทรานซิสเตอร์ Q_3 (และ Q_2) ไม่ทำงาน ดังนั้นทั้ง Q_3 และ Q_4 ในโทเท็ม-โพลจึงไม่ทำงาน และเอาท์พุทของวงจรประพฤติตัวคล้ายวงจรเปิด โดยมีค่าความชัดเอาท์พุทสูงมาก

สิ่งสำคัญอันหนึ่งของเกท 3 สถานะทั้งหลายคือ เวลาหน่วงของเอาท์พุทเมื่อเกททำงาน (enable) จะยาวกว่า เมื่อเกทไม่ทำงาน (disable) ถ้าวงจรควบคุมทำให้เกทตัวหนึ่งสามารถทำงาน และเกทอีกตัวหนึ่งไม่สามารถทำงานที่เวลาเดียวกัน เกทที่ไม่ทำงานจะไปสู่สถานะความขัดสูงก่อนเกทอีกอันหนึ่งซึ่งทำงาน เช่นนี้เป็นการกำจัดสถานการณ์ที่เกทสองตัวแอคทีฟในเวลาเดียวกัน

10.3 ลักษณะสมบัติของไอซีดิจิตอลในตระกูลตรรก
Characteristics of IC digital Logic Family

ลักษณะสมบัติของไอซีแบบดิจิตอลปกติจะเปรียบเทียบโดยการวิเคราะห์วงจรเกทพื้นฐานในแต่ละตระกูล พารามิเตอร์ (parameter) ที่สำคัญที่มักหาค่าและเปรียบเทียบกันคือ แฟน-เอาท์ การใช้จ่ายกำลังไฟฟ้า การหน่วงเนื่องจากการแผ่ และขอบของสัญญาณรบกวน

10.3.1 แฟน–เอาท์ (Fan-out)

แฟนเอาท์เป็นพารามิเตอร์ที่ระบุจำนวนโหลดมาตรฐานซึ่งเอาท์พุทของเกทสามารถขับโดยปราศจากความเสียหายต่อการดำเนินการตามปกติ โหลดมาตรฐานมีนิยามว่าคือจำนวนกระแสที่จำเป็นสำหรับอินพุทของเกทอีกตัวหนึ่งในตระกูลไอซีเดียวกัน บางครั้งใช้คำว่า โหลดดิ้ง (loading) แทนคำว่า แฟน-เอาท์ คำนี้ได้มาจากความจริงที่ว่าเอาท์พุทของเกทตัวหนึ่งสามารถป้อนจำนวนกระแสค่าจำกัด ถ้าเกินกว่านั้นแล้วมันจะหยุดทำงานอย่างเหมาะสม และกล่าวว่ามันโอเวอร์โหลด (overload) เอาท์พุทของเกทหนึ่งมักต่อกับอินพุทของเกทอื่น ๆ ที่คล้ายคลึงกัน แต่ละอินพุทใช้กำลังจากเกทอินพุท ดังนั้นการเชื่อมต่อแต่ละอันเป็นการเพิ่มโหลดของเกท กฎการโหลดมักมีเป็นบัญชีสำหรับตระกูลหนึ่ง ๆ ของวงจรดิจิตอลมาตรฐาน เป็นกฎซึ่งบ่งบอกจำนวนสูงสุดของโหลดที่มีได้สำหรับแต่ละเอาท์พุทของวงจร ถ้าเกินกว่าค่าโหลดสูงสุดนี้แล้ววงจรจะทำงานผิดพลาด เพราะวงจรไม่สามารถป้อนกำลังที่โหลดต้องการได้ แฟนเอาท์ คือ จำนวนสูงสุดของอินพุทที่สามารถให้เชื่อมต่อกับเอาท์พุทของเกทได้ และแสดงด้วยตัวเลข

เมื่อจะทำบูลลีนฟังก์ชันให้ง่ายขึ้นเราต้องพิจารณาแฟน-เอาท์ของเกท ต้องระวังไม่ให้ฟังก์ชันที่ได้ให้ผลเป็นโอเวอร์โหลดเกท วงจรขยายแบบนอนอินเวิตติ้ง หรือบัฟเฟอร์บางครั้งถูกใช้เพื่อจัดความสามารถในการขับของเกทให้เพิ่มขึ้นสำหรับโหลดมาก ๆ

10.3.2 การใช้จ่ายกำลังไฟฟ้า (Power Dissipation)

คือกำลังป้อนที่เกทต้องการใช้เพื่อการทำงาน พารามิเตอร์ตัวนี้แสดงด้วยมิลลิวัตต์ (milliwatt : mW) และแทนกำลังที่เกทใช้ไปจริง ๆ ตัวเลขที่แทนพารามิเตอร์นี้ไม่ได้รวมถึง

กำลังที่ส่งให้กับเกทอีกตัวหนึ่ง แต่จะแทนกำลังจากแหล่งจ่ายไฟ (power supply) ที่ส่งให้กับเกท ไอซีที่มี 4 เกทจะต้องการใช้จ่ายกำลังจากแหล่งจ่ายไฟมากเป็น 4 เท่าของเกทแต่ละตัว กำลังที่ใช้ทั้งหมดในระบบหนึ่งคือผลบวกทั้งหมดของกำลังที่แต่ละไอซีใช้ไป

10.3.3 การหน่วงเนื่องจากการแผ่ (Propagation Delay)

คือเวลาหน่วงเฉลี่ยของทรานซิชันสำหรับการแผ่ของสัญญาณจากอินพุทไปยังเอาท์พุท เมื่อสัญญาณฐานสองมีการเปลี่ยนแปลงค่า สัญญาณผ่านเกทต้องใช้เวลาขนาดหนึ่งในการแผ่จากอินพุทสู่เอาท์พุท เรียกช่วงเวลาเช่นนี้ว่าการหน่วงเนื่องจากการแผ่ของเกท พารามิเตอร์ตัวนี้แสดงด้วยนาโนวินาที (nanosecond : ns) $1ns = 10^{-9}$ s

การหน่วงเนื่องจากการแผ่ทั้งหมดของวงจร คือผลบวกของการหน่วงเนื่องจากการแผ่ผ่านแต่ละเกท ถ้าเกทต่อกันอย่างอนุกรม สัญญาณต้องเดินทางจากอินพุทของวงจรดิจิตอลสู่เอาท์พุทโดยผ่านเกทที่ต่อกันอย่างอนุกรมทั้งหมด เมื่ออัตราเร็วของการดำเนินการเป็นสิ่งสำคัญ แต่ละเกทต้องมีการหน่วงเนื่องจากการแผ่เป็นค่าน้อย ๆ และวงจรดิจิตอลต้องมีจำนวนเกทที่ต่ออนุกรมกันน้อยที่สุดในระหว่างอินพุทถึงเอาท์พุท

10.3.4 ขอบของสัญญาณรบกวน (Noise Margin)

คือแรงดันค่าสูงสุดของสัญญาณรบกวนซึ่งบวกกับสัญญาณอินพุทของวงจรดิจิตอลแล้วไม่ทำให้เกิดการเปลี่ยนแปลงที่ไม่ต้องการต่อเอาท์พุทของวงจร (ไม่ทำให้เกททำงานผิดปกติ) สัญญาณรบกวนมี 2 ชนิด สัญญาณรบกวนแบบ DC เกิดจากการพัดพาไปของระดับแรงดันของสัญญาณ สัญญาณรบกวนแบบ AC คือพัลส์สุ่ม (ramdom pulse) ซึ่งอาจเกิดจากสัญญาณของการสวิตช์อื่น ๆ ดังนั้นสัญญาณรบกวนจึงหมายถึงสัญญาณที่เราไม่ต้องการซึ่งซ้อนทับ (superimpose) บนสัญญาณที่ใช้ดำเนินการตามปกติ ความสามารถของวงจรที่จะทำงานได้อย่างน่าเชื่อถือในสภาพแวดล้อมของสัญญาณรบกวนเป็นเรื่องสำคัญในการประยุกต์ใช้งานต่าง ๆ ขอบของสัญญาณรบกวนแสดงด้วยโวลต์ (V) และแทนสัญญาณรบกวนมากที่สุดซึ่งเกทสามารถทนทานได้

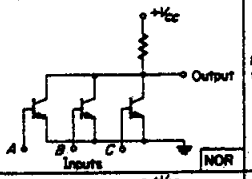
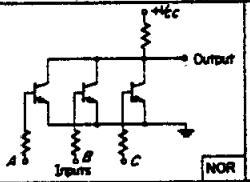
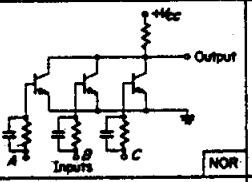
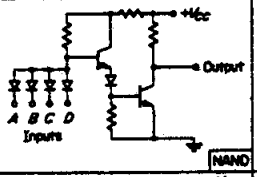
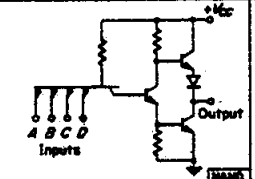
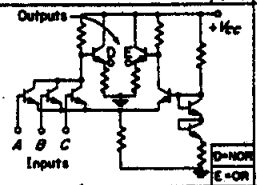
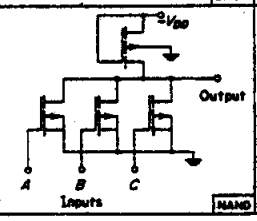
ตาราง 10.1 ลักษณะสมบัติของไอซีในตระกูลตรรก (ตัวอย่าง)

ไอซีใน ตระกูลตรรก	แฟน-เอาท์	การใช้จ่าย กำลังไฟฟ้า (mW)	การหน่วงเนื่องจาก การแผ่ (ns)	ขอบของสัญญาณ รบกวน (V)
TTL มาตรฐาน	10	10	10	0.4
ซ้อตกี้ TTL	10	22	3	0.4
ซ้อตกี้ TTL ใช้ กำลังไฟฟ้าน้อย	20	2	10	0.4
ECL	25	25	2	0.2
CMOS	50	0.1	25	3

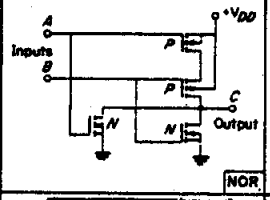
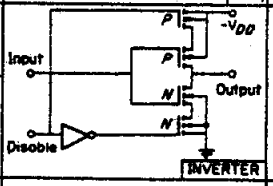
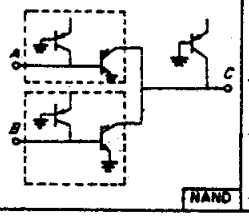
สรุป

ในบทนี้ได้กล่าวถึงส่วนประกอบของไอซีตรรก และการทำงานของมัน วิวัฒนาการของไอซีตรรกซึ่งแสดงถึงการพัฒนาไอซีที่ใช้ในวงจรดิจิตอล ข้อดีข้อเสียของตระกูลตรรกต่าง ๆ ซึ่งสรุปได้ดังตารางข้างล่างนี้

ตาราง 10.2 สรุปตระกูลตรรกแบบต่าง ๆ

Type of logic	Abbr	Typical circuit	Remarks
Direct-coupled transistor logic	DCTL		Not used much owing to current hogging
Resistor-transistor logic	RTL		Base resistors avoid current hogging, but reduce gate speed owing to RC input filter effect
Resistor-capacitor transistor logic	RCTL		Same circuit as RTL except for addition of speed-up capacitors; not good for monolithic IC since too many passive (R and C) components
Diode-transistor logic	DTL		Has reasonably high active-to-passive component ratio which is good for monolithic IC
Transistor-transistor logic	TTL or T²L		Multiemitter transistor very suited to monolithic IC; very fast; totem-pole output has pullup and pulldown. Schottky TTL has fast clamping diodes to prevent transistor saturation. Result is faster circuits.
Current-mode or emitter-coupled logic	CML ECL		Differential circuit whose operation depends on parameter ratios, and which has high ratio of active-to-passive elements; therefore highly suited to monolithic IC. Very fast since transistors do not saturate. Two outputs available
PMOS-transistor logic	MOSL		No resistors used so can be made very small; hence is adaptable to MSI and L.S.I. High noise margin owing to high threshold voltages

ตาราง 10.2 (ต่อ)

Type of logic	*Abbr.*	*Typical circuit*	*Remarks*
Complementary metal oxide semiconductor	CMOS		No resistors used so can be very small, hence is adaptable to MSI, LSI. High noise margin due to high threshold voltages. Power consumption is very low except during switching transitions. Can be used over a wide range of supply voltages of typically 1.1 to 18 V. Speed is moderate.
Three-state CMOS logic	Three-state CMOS		Is used in active pullup families such as CMOS or TTL to permit wired-ORing
Integrated injection logic	I^2L		No resistors used(except for current injection resistor) so can be very small, hence is adaptable to MSI, LSI. Power/speed trade-off is adjustable with external resistor. Easy to manufacture. Is relatively new circuit technique which uses old fabrication technology. Also called "merged" transistor" logic.

พารามิเตอร์ที่สำคัญที่แสดงลักษณะสมบัติของไอซีแบบดิจิตอล ได้แก่ แฟน-เอาท์, การใช้จ่ายกำลังไฟฟ้า, การหน่วงเนื่องจากการแผ่, และขอบของสัญญาณรบกวน เหล่านี้เป็นค่าเปรียบเทียบไอซีในตระกูลตรรกต่าง ๆ

แบบฝึกหัด

10.1 ตระกูลตรรกชื่บพบใน LSI มีอะไรบ้าง จงบอกมา 3 ชื่อ

10.2 จงอธิบายการดึงขึ้น (pullup) และ ดึงลง (pulldown) ในวงจร TTL ข้อดีของ 2 อย่างนี้คืออะไร

10.3 จงอธิบายการจัดวงจรแบบโทเท็ม-โพล

10.4 ทำไมวงจร ECL จึงมีความเร็วสูง

10.5 รูป 10.12 แสดง CMOS นอเกท จงออกแบบ CMOS แนนเกท

10.6 จงอธิบายเหตุผลที่วงจร TTL เป็นที่นิยมกันมาก

10.7 ไอซีในตระกูลตรรกตัวหนึ่งมีแนนเกทซึ่งมีแฟน-เอาท์ 5 และบัฟเฟอร์เกทมีแฟน-เอาท์ 10 จงแสดงวิธีที่สัญญาณเอาท์พุทของแนนเกทตัวเดียวสามารถใช้กับอินพุทของเกทอื่น 50 อัน

10.8 จงอธิบายเหตุผลในการสร้างเกท 3 สถานะ

10.9 จงอธิบายลักษณะสมบัติของไอซีแบบ CMOS

10.10 จากตาราง 10.1 จงเปรียบเทียบข้อดีข้อเสียของไอซี แบบซ้อตกี้ TTL และ CMOS