

บทที่ 6

ฟลิปฟลอป

Flip - Flops

การศึกษาระบบดิจิทัลในบทก่อน เราได้ศึกษาวงจรดิจิทัลที่เรียกว่าคอมไบเนชันที่นำไปประยุกต์ใช้งานต่างๆในระบบคอมพิวเตอร์ ลักษณะของข้อมูลที่ป้อนทางอินพุตของวงจรคอมไบเนชันแล้วเกิดผลลัพธ์ทางเอาพุตของวงจร แต่ถ้าไม่มีการป้อนสัญญาณทางอินพุต สัญญาณทางเอาพุต ของวงจรชนิดนี้ก็จะหายไป วงจรชนิดนี้ไม่สามารถเก็บข้อมูลหรือจำข้อมูลได้ ในระบบดิจิทัลวงจรที่จำข้อมูลได้คือวงจรหน่วยความจำ (Memory circuit) วงจรแบบนี้เรียกว่า Sequential circuit

พื้นฐานของวงจรหน่วยความจำของระบบดิจิทัลเราเรียกว่า ฟลิป ฟลอป (FLIP - FLOP) วงจรฟลิปฟลอปสามารถจัดเก็บข้อมูลได้ 1 บิต เอาพุตของวงจรมี 2 สภาวะ มันจะจัดเก็บค่า 0 หรือค่า 1 วงจรชนิดนี้สามารถจำข้อมูลได้ เมื่อสัญญาณที่ป้อนมาทางอินพุตหยุดการป้อนก็ตาม สัญญาณเอาพุตก็ยังคงสภาพอยู่ไม่หายไป โครงสร้างของวงจรฟลิปฟลอปจะเป็นดังนี้ ค่าของ Flip = 1 , Flop = 0

ฟลิปฟลอป หมายถึง วงจรดิจิทัลที่มี 2 เอาพุต คือ Q และ \bar{Q} ซึ่งสภาวะเอาพุตทั้งสองจะต้องมีค่าตรงกันข้าม ถ้า Q = 1 ฉะนั้น \bar{Q} = 0 ถ้า \bar{Q} = 1 เราอาจจะเรียกว่า Set , On , Preset หรือถ้า Q = 0 เราเรียกว่า Reset , Off , Cleared ฟลิปฟลอปในดิจิทัลอิเล็กทรอนิกส์มีหลายชนิด และการควบคุมทางด้านอินพุตของฟลิปฟลอปแต่ละชนิดก็แตกต่างกันที่ต้องการให้เอาพุตมีค่า 1 หรือ 0 ดูจากตารางแสดงคุณลักษณะของฟลิปฟลอปแต่ละชนิด

6.1 FLIP FLOP OPERATION

6.1.1 Flip Flop Triggering

การทำงานของฟลิปฟลอปจะเปลี่ยนแปลงเอาพุตก็ขึ้นอยู่กับด้านอินพุตและสัญญาณนาฬิกาการกระตุ้นการทำงาน (Transition of the clock input) อุปกรณ์ที่จะทำการเปลี่ยนแปลงสภาวะในช่วงของรูปคลื่นเราเรียกว่า Edge triggered devices รูปคลื่นของเวลาอินพุตเราเรียกว่า CLOCK ด้วยย่อคือ CLK

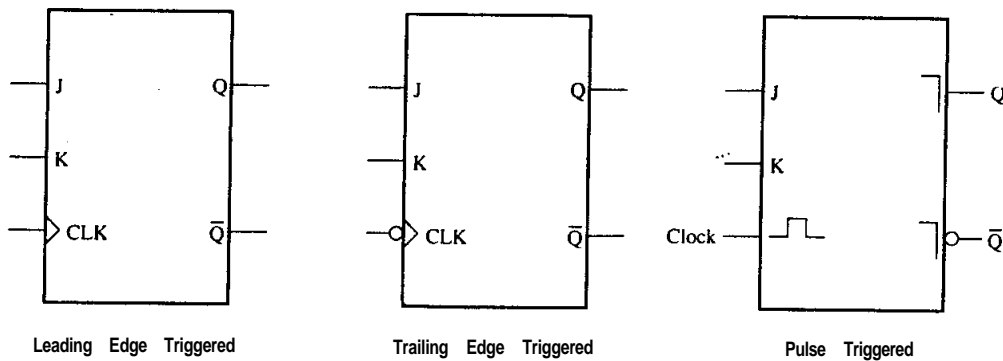
6.1.2 Type of Edge triggering

อุปกรณ์ดิจิทัลชนิดซิงโครนัสขึ้นอยู่กับเวลาทางด้านอินพุต สัญญาณนาฬิกาจะเป็นตัวควบคุมดังแสดงในรูปที่ 6.1 มีดังต่อไปนี้

Leading edge triggered flip flop เรา รู้จักกันคือ Positive edge triggered flip flop จะตอบสนองการเปลี่ยนแปลงขึ้นอยู่กัอินพุตปัจจุบันเมื่อมีสัญญาณนาฬิกาป้อนเข้ามาเปลี่ยนจาก Low เป็น High

Trailing edge triggered flip flop เรา รู้จักกันคือ Negative edge triggered flip flop จะตอบสนองการเปลี่ยนแปลงขึ้นอยู่กัอินพุตปัจจุบันเมื่อมีสัญญาณนาฬิกาป้อนเข้ามาเปลี่ยนจาก High เป็น Low

Pulse triggered flip flops เรา รู้จักคือ Master slave flip flop จะตอบสนองการเปลี่ยนแปลงขึ้นอยู่กัอินพุตปัจจุบันเมื่อมีสัญญาณนาฬิกาป้อนเข้ามาเปลี่ยนจาก Low เป็น High และเปลี่ยนจาก high เป็น Low

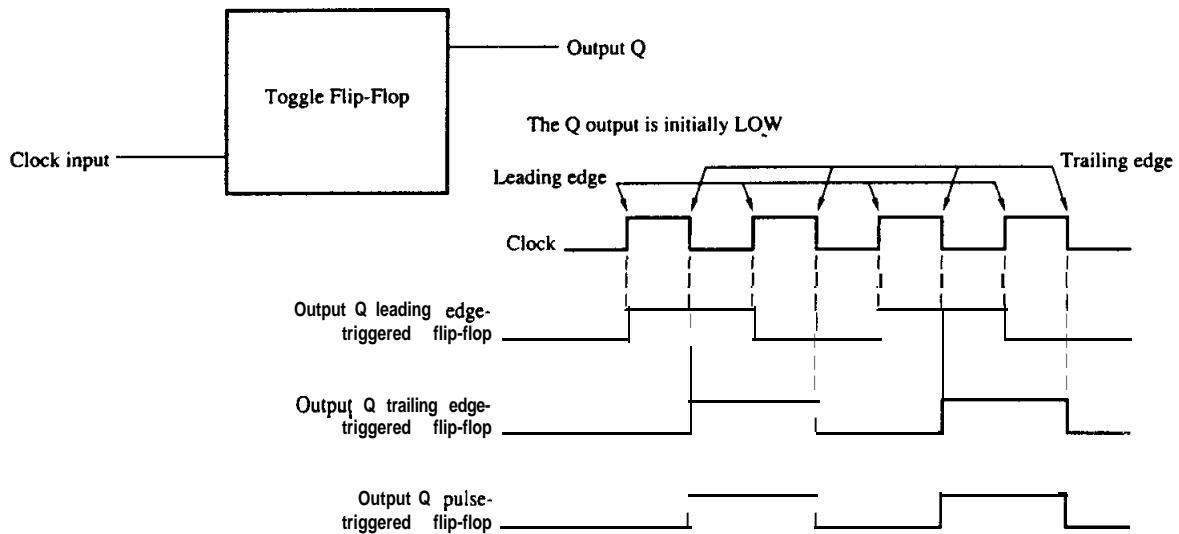


รูปที่ 6.1 Edge triggered clock indicator symbols

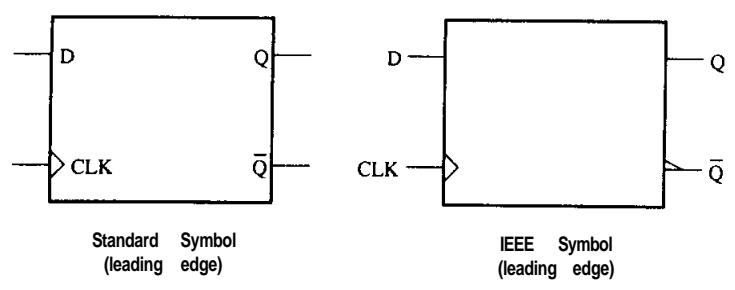
6.1.3 Clock Synchronization

Synchronization operation คือการควบคุมเวลาของอุปกรณ์ที่สามารถทำให้เข้าพุตเปลี่ยนแปลงได้โดยการป้อนสัญญาณมาทางอินพุต ทุกรูปคลื่นของสัญญาณนาฬิกาจะใช้ควบคุมการทำงานของวงจรดิจิทัล ที่อ้างถึงในวงจรของสัญญาณนาฬิกา

อุปกรณ์หลายตัวสามารถเชื่อมต่อกันได้โดยใช้ระบบสัญญาณนาฬิกาเดียวกัน ถ้าอุปกรณ์ทั้งหมดใช้สัญญาณกระตุ้น (Trigger) เดียวกันที่ Leading edge ดังตัวอย่างแสดงในรูปที่ 6.2



รูปที่ 6.2 Flip Flop edge triggering



รูปที่ 6.3 D Flip Flop

6.1.4 Asynchronous inputs

ไอซีฟลิปฟลอปจะมีค่าของอินพุตในการเปลี่ยนแปลงเอาพุตของฟลิปฟลอป การติดตั้งสัญญาณนาฬิกาและการป้อนข้อมูลอินพุต ค่าของอินพุตต่างๆเหล่านี้เรียกว่า Asynchronous ค่าของ Active Low preset. PRE จะทำให้ค่าเอาพุตเป็นค่า HIGH และ Active Low clear CLR จะทำให้ค่าเอาพุตเป็นค่า LOW

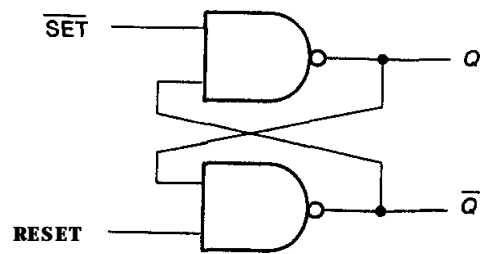
6.2 CROSSED NAND SET - RESET FLIP-FLOPS

Set - Reset Flip-Flop คือ วงจรดิจิทัลที่เป็นวงจรที่เอาพุตมีค่าเป็น 1 หรือ SET ทำงานที่ Active low ให้กับอินพุต Set และสามารถให้เอาพุตของฟลิปฟลอปเป็น Reset โดยป้อนอินพุต Reset ทำงานที่

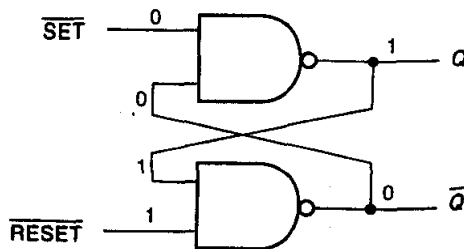
Active Low ทางอินพุตเข้าพุทของฟลิปฟลอปจะเป็น Reset จากรูป 6.4 เป็นวงจร Set - Reset Flip - Flop

อินพุต Set และ Reset จะทำงานที่ Active Low ถ้าป้อนอินพุต SET คือค่าเป็น 0 จะทำให้เข้าพุทของ $Q = 1$ สังเกตจากค่าคอมพลีเมนต์ที่อยู่บนอินพุต Set และ Reset นั้นหมายความว่าทำงานที่ Active Low เข้าพุทของฟลิปฟลอปปกติจะมีสัญลักษณ์เป็น Q และ \bar{Q} นั่นคือ $Q = 1$ $Q = 0$ เข้าพุททั้งสองจะมีค่าตรงกันข้ามกันซึ่งเป็นคุณสมบัติของฟลิปฟลอป

เมื่ออินพุต SET มีค่าเป็น 0 และ Reset มีค่าเป็น 1 ถ้าวงจรฟลิปฟลอปเป็น NAND gate ดังวงจรในรูป 6.4 เนื่องจากค่าอินพุตเป็น 0 ทั้งหมดจะทำให้เข้าพุท $Q = 1$ และ $Q = 0$ แต่ถ้าอินพุต Set มีค่าเป็น 1 และ Reset มีค่าเป็น 1 เข้าพุทจะไม่มีมีการเปลี่ยนแปลง ตามรูป 6.5 เนื่องจากเข้าพุทจะมีสัญญาณย้อนกลับมายังอินพุตของเกิดตรงกันข้าม จะทำให้ค่าของเข้าพุทเดิมไม่เปลี่ยน

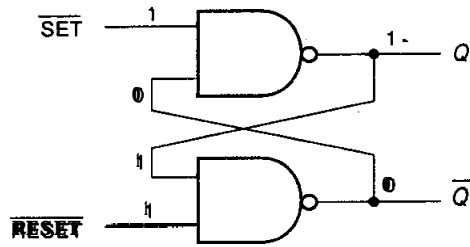


รูปที่ 6.4 Crossed NAND SET - RESET flip flop

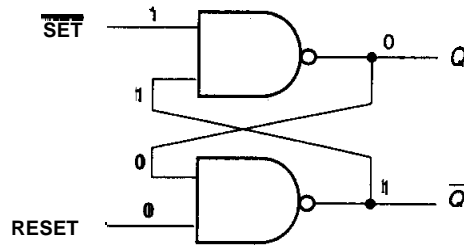


รูปที่ 6. Setting the Q output for a crossed NAND SET - RESET flip flop

ถ้าต้องการให้ Reset ฟลิปฟลอป จะต้องทำให้สัญญาณอินพุต Reset = 0 และค่าของ Set = 1 แสดงในรูป 6.6 เราจะเห็นว่าสัญญาณอินพุต Set ไม่สามารถจะเคลียเข้าพุท Q เป็น 0 ได้ การเคลียเข้าพุทเป็น 0 จะต้องให้สัญญาณอินพุต Reset = 0 และให้ค่า Set = 1

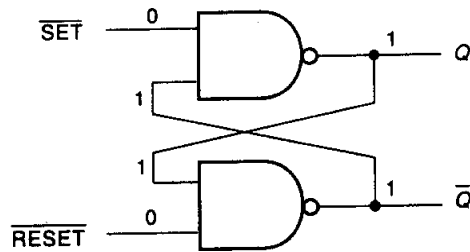


รูปที่ 6.6 The unchanged state for a crossed NAND SET • RESET flip flop



รูปที่ 6.7 Resetting the Q output for a crossed NAND SET • RESET flip flop

ในกรณีค่าของอินพุต Set - Reset = 0 แสดงในรูป 6.8 ค่านี้จะไม่ใช่ เพราะทำให้ค่าเอาต์พุตของฟลิปฟลอปเหมือนกันซึ่งไม่ใช่คุณสมบัติของฟลิปฟลอป

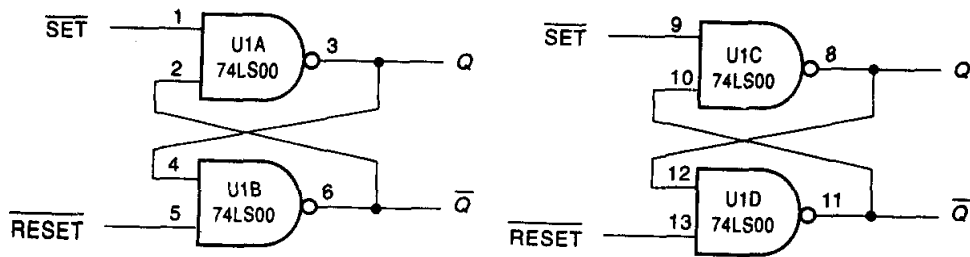


รูปที่ 6.8 The unused state for a crossed NAND SET • RESET flip flop

SET	RESET	$\overline{\text{SET}}$	$\overline{\text{RESET}}$	Q	\overline{Q}	
1	1	0	0	1	1	Unused State
1	0	0	1	1	0	
0	1	1	0	0	1	
0	0	1	1	Q	\overline{Q}	Unchanged State

รูปที่ 6.9 Truth table for a crossed NAND SET • RESET flip flop

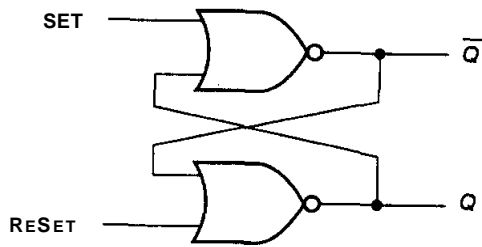
ตัวอย่าง 6.1 โครงสร้างของ Set - Reset ฟลิปฟลอป จากไอซี 74LS00



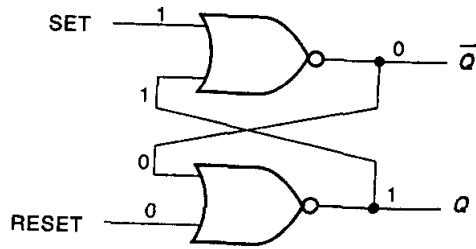
รูปที่ 6.10 วงจรในไอซี 74LS00

6.3 Crossed NOR SET • RESET Flip-Flops

จากรูป 6.11 แสดงวงจร Crossed Nor Set • Reset Flip - Flop จะเห็นว่าค่าที่ป้อนทางอินพุตจะไม่ใช่คอมพลิเมนต์ จะทำงานที่ Active HIGH เมื่ออินพุต SET มีค่าเป็น 1 และอินพุต RESET มีค่าเป็น 0 จะทำให้เอาพุต Q = 1 แสดงในรูป 6.12

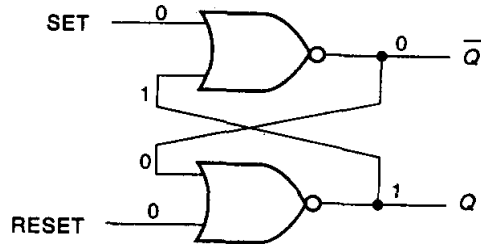


รูปที่ 6.11 Crossed NOR SET - RESET flip flop

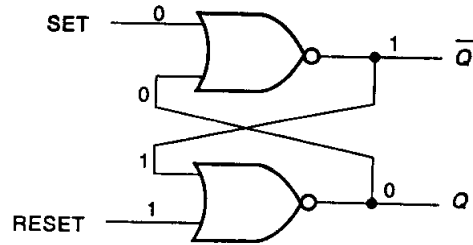


รูปที่ 6.12 Setting the Q output for a crossed NOR SET - RESET flip flop

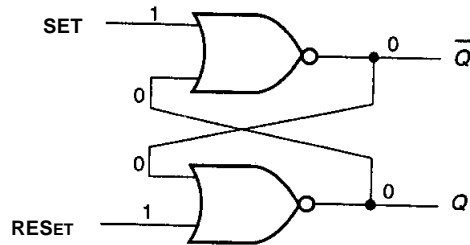
เมื่ออินพุต SET มีค่าเท่ากับ 0 และ RESET = 0 เอาพุตของ Q และ Q ค่าจะไม่เปลี่ยนแปลง ดังแสดงในรูป 6.13 ถ้าต้องการให้ค่า Q = 0 อินพุต RESET = 1 ขณะที่อินพุต SET = 0 แสดงในรูป 6.14 ส่วนค่าของ SET = RESET = 1 เป็นค่าที่ไม่ใช้ แสดงในรูป 6.15



รูปที่ 6.13 Unchanged state for a crossed NOR SET - RESET flip flop



รูปที่ 6.14 Resetting the Q output for a crossed NOR SET - RESET flip flop



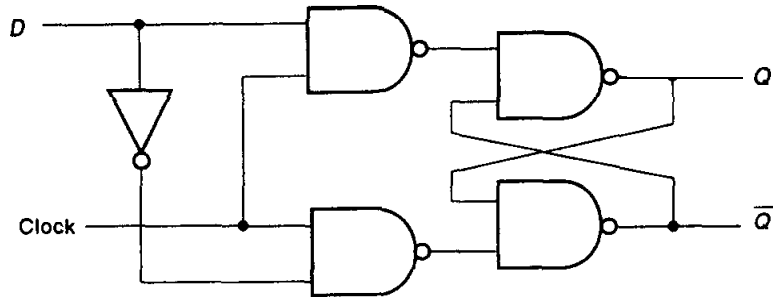
รูปที่ 6.15 The unused state for crossed NOR SET - RESET flip flop

SET	RESET	SET	RESET	Q	Q̄	
1	1	0	0	0	0	Unused State
1	0	0	1	1	0	
0	1	1	0	0	1	
0	0	1	1	Q	Q̄	Unchanged State

รูปที่ 6.16 Truth table for a crossed NOR SET RESET flip flop

6.4 The D Flip-Flop

ฟลิปฟlopประเภทนี้เราเรียกว่า Data Flip-Flop หรือ Delay Flip-Flop เป็นฟลิปฟlopที่ทำหน้าที่ในการเคลื่อนย้ายข้อมูลจากอินพุตไปยังเอาต์พุต และมีสัญญาณนาฬิกาควบคุมการทำงาน ตามรูป 6.16 แสดงสัญลักษณ์และตารางแสดงคุณลักษณะของ D Flip Flop

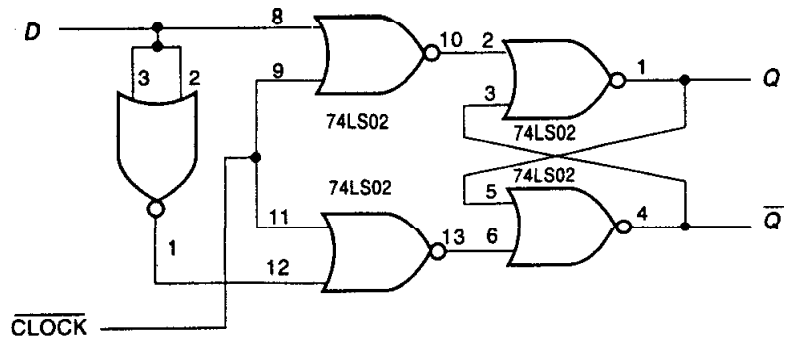


รูปที่ 6.17 D flip flop

D	Clock	Q	\bar{Q}	
0	0	Q	\bar{Q}	Unchanged State
1	0	Q	\bar{Q}	
0	1	0	1	
1	1	1	0	

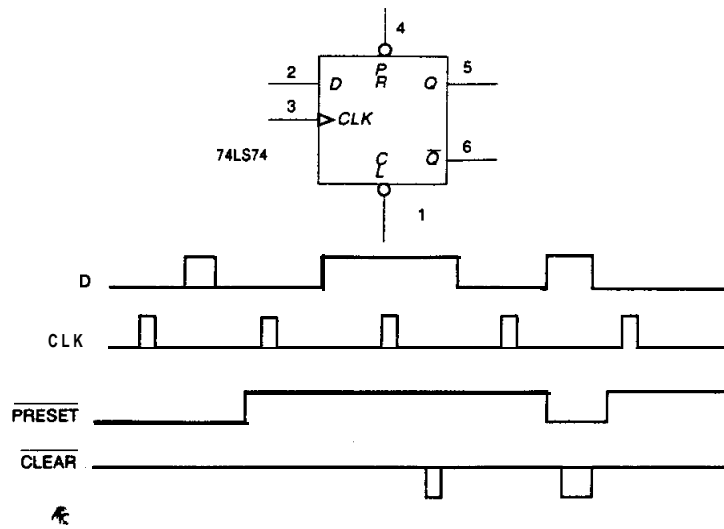
รูปที่ 6.18 Truth table for D flip flop

สัญญาณเวลาจะทำให้สัญญาณลอจิกทางอินพุตของ D Flip Flop เข้าสู่ฟลิปฟลอปเมื่อมีสัญญาณเวลาเกิดขึ้น วงจรชนิดนี้จึงทำหน้าที่ในการเคลื่อนย้ายข้อมูลจากอินพุตไปยังเอาพุตโดยไม่มีการเปลี่ยนแปลงของเอาพุตของฟลิปฟลอป เช่นถ้า $Q = 1$ ในขณะที่อินพุต D Flip Flop มีค่าเท่ากับ 0 ก็ได้โดยไม่มีผลต่อเอาพุต แต่จะมีการเปลี่ยนก็ต่อเมื่อมีสัญญาณมากระตุ้นที่ขอบใดขอบหนึ่งของสัญญาณนาฬิกา แล้วข้อมูลอินพุตก็จะเคลื่อนย้ายไปยังเอาพุต Q หลังจากหยุดการกระตุ้นหรือสัญญาณนาฬิกาผ่านไปข้อมูลเอาพุตยังคงสภาพอยู่ จนกว่าจะมีสัญญาณมากระตุ้นใหม่ การทำงานของฟลิปฟลอปนี้ดูจากตารางแสดงคุณลักษณะของ D Flip Flop

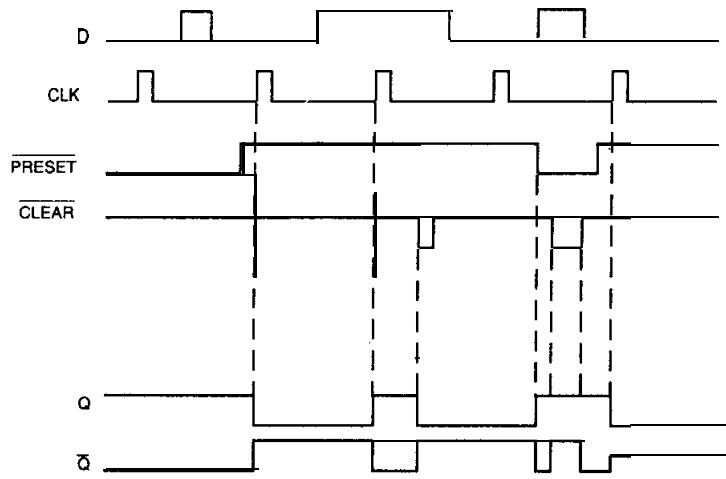


รูปที่ 6.19 วงจร D flip flop

เพื่อความเข้าใจการทำงานของ D Flip Flop ให้ดูจากไคอะแกรมเวลาดังต่อไปนี้



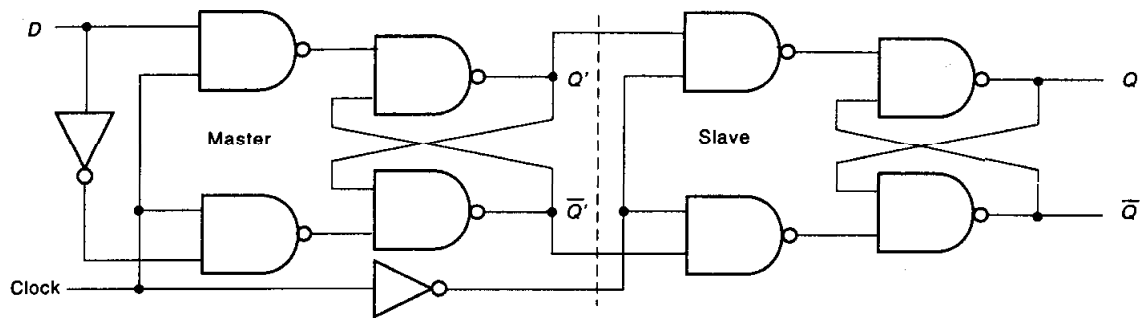
รูปที่ 6.20 ไคอะแกรมเวลาของ Dflipflop



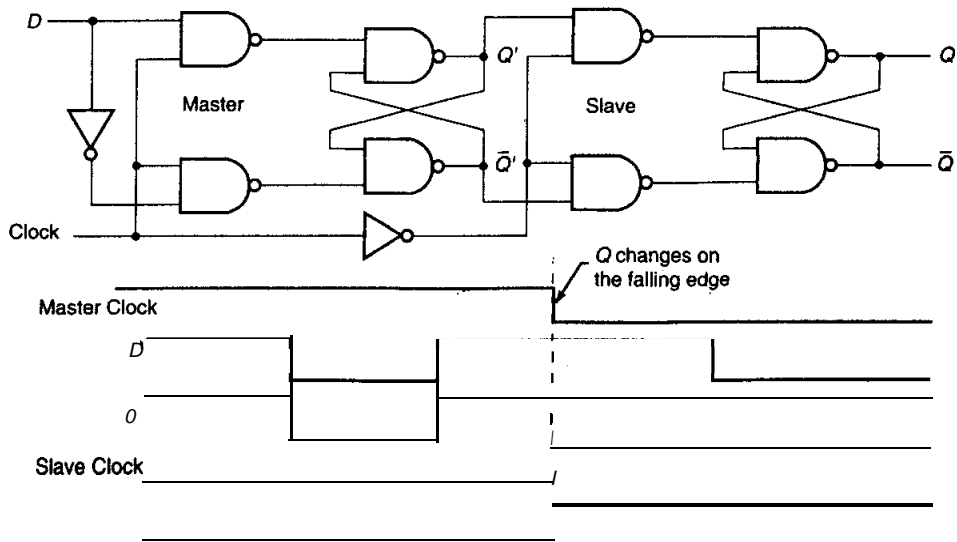
รูปที่ 6.21 ไตอะแกรมเวลาของ D flip flop

6.4.1 The Master slave D flip flop

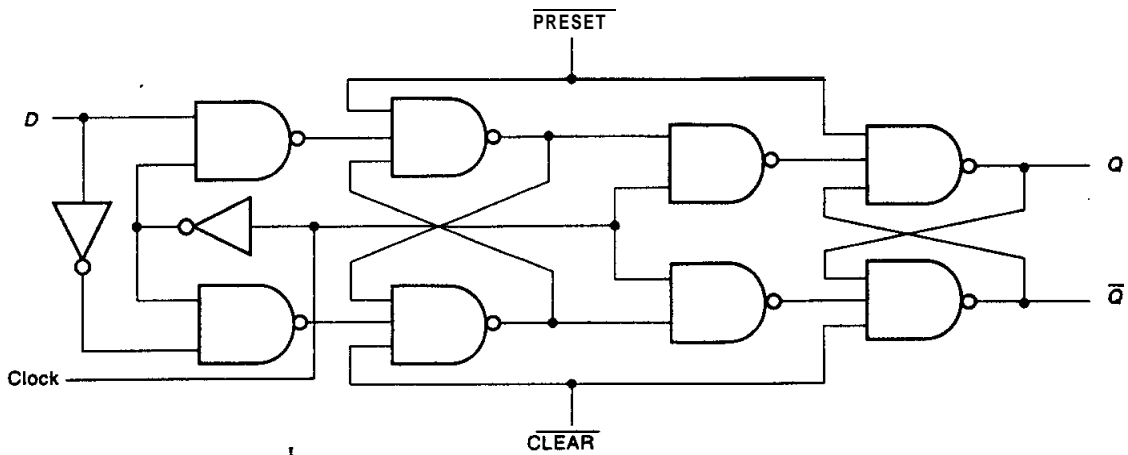
เป็นวงจรที่สร้างจาก NAND gate หรือเราเรียกว่า Master slave negative edge triggered flip flop ค่าของ Q output ขึ้นอยู่กับ D input การเปลี่ยนแปลงขึ้นกับขอบลงของสัญญาณนาฬิกา



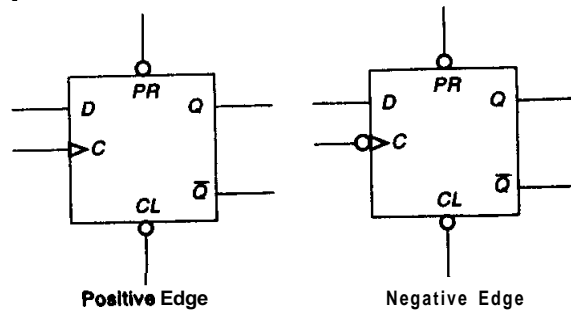
รูปที่ 6.22 Master slave D flip flop



รูปที่ 6.23 Negative edge triggered master slave D flip flop



รูปที่ 6.24 Positive edge triggered master slave D flip flop



รูปที่ 6.25 สัญลักษณ์ของ D flip flop

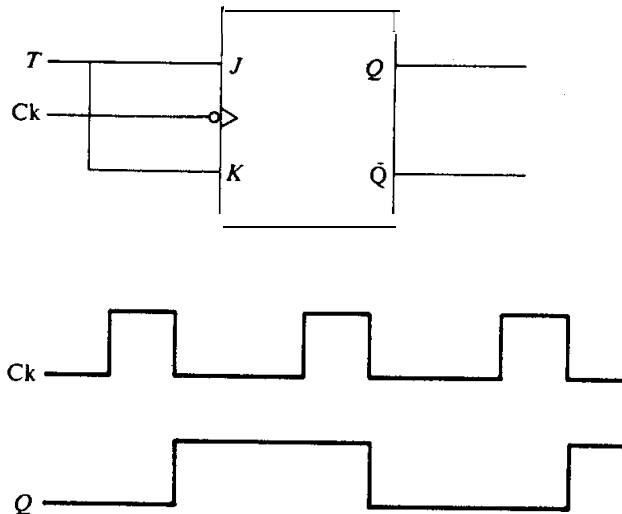
X = 1 or 0

CLEAR	PRESET	Clock	D	Q	\bar{Q}	
0	1	X	X	0	1	Unused State
1	0	X	X	1	0	
0	0	X	X	1	1	
1	1	⎓	1	1	0	
1	1	⎓	0	0	1	

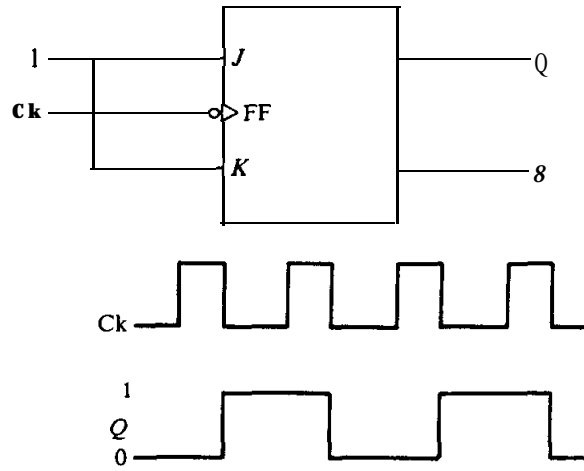
รูปที่ 6.26 Truth table for positive edged triggered D flip flop

6.5 The T Flip Flop

T Flip Flop หรือ Toggle Flip Flop จากสัญลักษณ์ที่แสดงไว้ในรูป 6.26 ด้านอินพุตของ ฟลิปฟลอปชนิดนี้จะมี Clock input และเอาพุตเป็น Q และ \bar{Q} ฟลิปฟลอปจะเปลี่ยนสภาวะหรือ Toggle ในแต่ละสัญญาณนาฬิกา (Clock Pulse) ดังตัวอย่างในรูป 6.27 แสดงถึงสัญญาณนาฬิกาที่ กระตุ้นให้ฟลิปฟลอปทำงานที่ ขอบสัญญาณที่มีการเปลี่ยนแปลงไม่ว่าจะเป็น Leading edge หรือ Trailing edge และจะได้ผลลัพธ์ทางเอาพุต Q และ \bar{Q} ที่มีค่าตรงกันข้ามเสมอ การทำให้ค่าที่เกิดขึ้น ตรงกันข้ามจะทำให้เกิดวงจรฟลิปฟลอปที่เรียกว่า Toggle Flip Flop



รูปที่ 6.27 สัญลักษณ์และวงจาลอจิก T flip flop

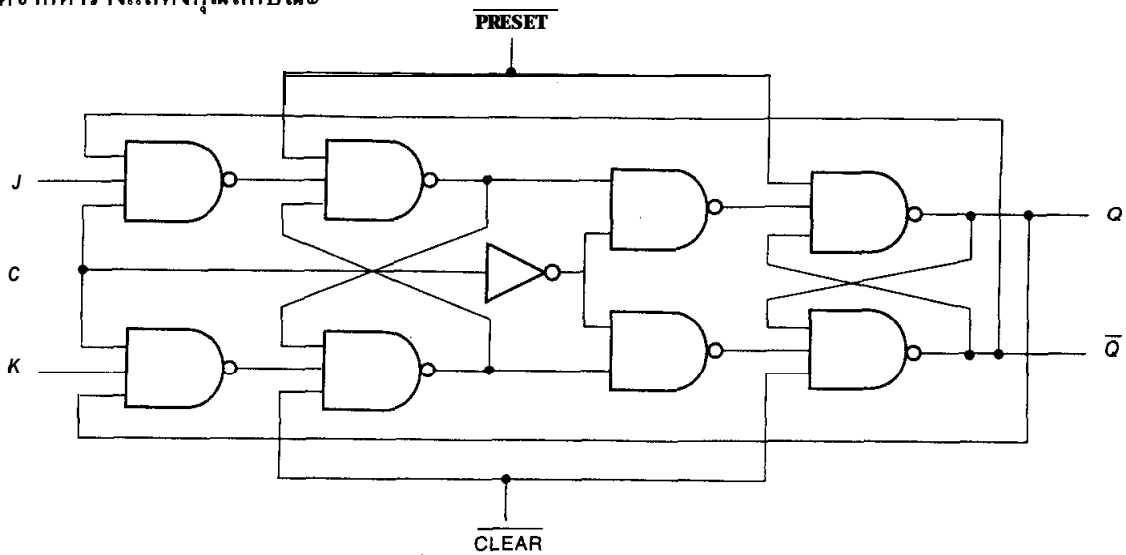


รูปที่ 6.28 การใช้ J K Flip Flop เป็น T flip flop

6.6 The J-K Flip Flop

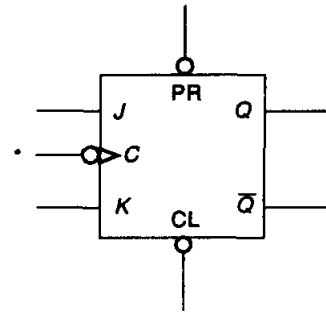
เป็นฟลิปฟล็อปที่แพร่หลายมากที่สุด คุณสมบัติอินพุตทั้ง 4 สถานะที่มีการเปลี่ยนแปลงทำให้เอาพุตของฟลิปฟล็อปชนิดนี้อยู่ในเงื่อนไขของฟลิปฟล็อปทั้ง 4 สถานะ อินพุตของฟลิปฟล็อปชนิดนี้ประกอบด้วย J และ K และมีตัวสัญญาณนาฬิกาทำหน้าที่ในการกระตุ้นเพื่อให้เอาพุตเปลี่ยนแปลงตามสถานะอินพุตที่กำหนด

อินพุต J - K จะเป็นตัวกำหนดสถานะของเอาพุตของฟลิปฟล็อปชนิดนี้ เนื่องจากการเปลี่ยนแปลงสถานะทั้งสองของอินพุตมีโอกาสเกิดขึ้นได้ 4 สถานะ เราสามารถกำหนดการทำงานของเอาพุตได้จากตารางแสดงคุณลักษณะ



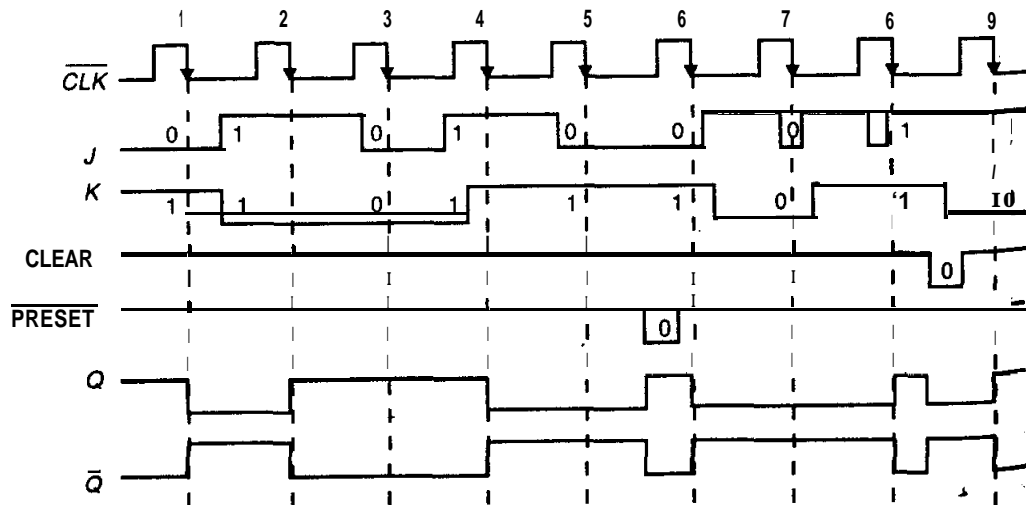
รูปที่ 6.29 สัญลักษณ์และวงจรลอจิก J-K flip flop

PRESET	CLEAR	J	K	C	Q	\bar{Q}	
0	1	X	X	X	1	0	
1	0	X	X	X	0	1	
0	0	X	X	X	1	1	Unused State
1	1	0	1	↘	0	1	
1	1	1	0	↘	1	0	
1	1	0	0	X	Q	\bar{Q}	Unchanged State
1	1	1	1	↘	Toggle		



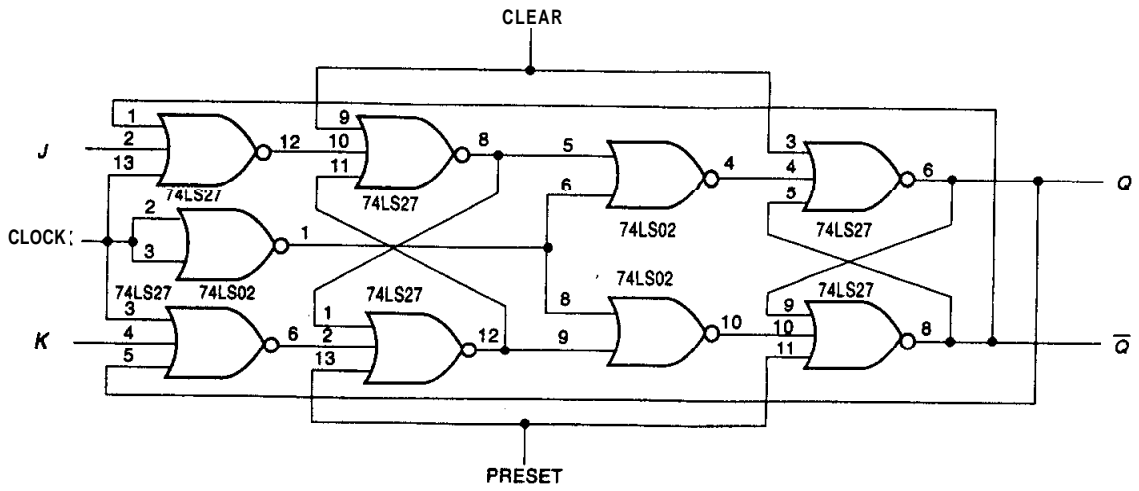
รูปที่ 6.30 ตารางแสดงคุณลักษณะของ J - K flip flop

คำว่า J_K Flip - Flop เป็นฟลิปฟลอปชนิดหนึ่งเรียกว่า master Slave Flip Flop ดังแสดงในรูป โครงสร้างของ J-K ใช้ลอจิก NAND Gate ค่าเข้าพุทของ Q และ \bar{Q} จะต่อป้อนกับมายังอินพุทของ J และ K การต่อจะสลับกัน และยังมี 2 อินพุทของฟลิปฟลอปคือ PRESET และ CLEAR ซึ่งจะเป็นตัวกำหนดเข้าพุทให้มีค่าเป็น 0 หรือเป็น 1 ถ้าป้อนสัญญาณ PRESET จะได้เข้าพุท Q = 1 และป้อนสัญญาณ CLEAR จะได้เข้าพุทเป็น 0 สังเกตว่าค่าของ PRESET และ CLEAR จะทำงานที่ Active LOW

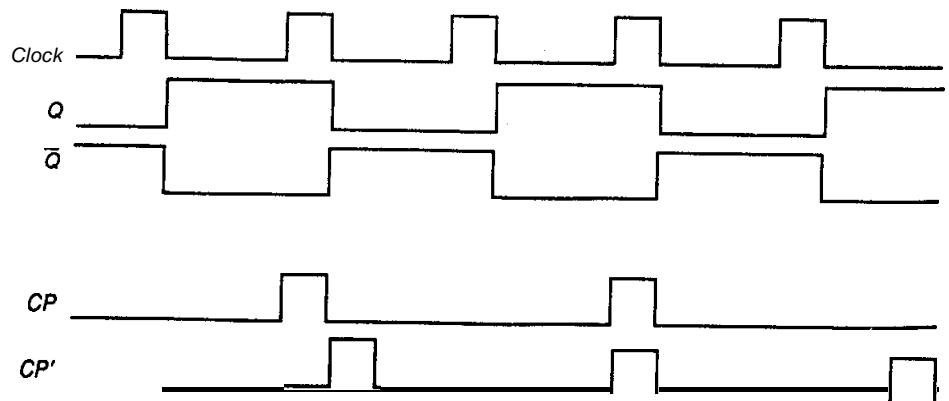
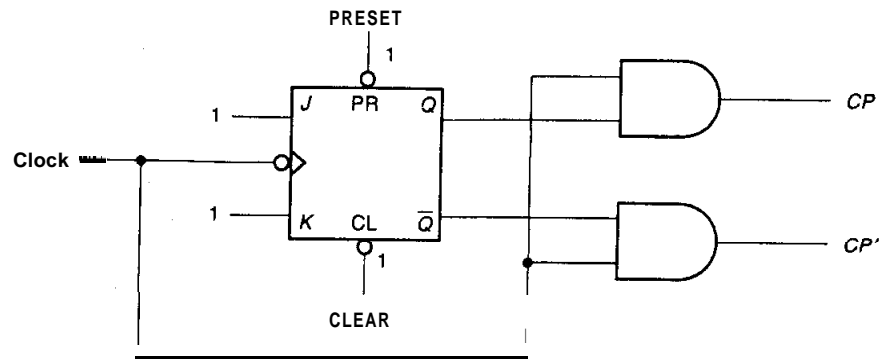


รูปที่ 6.31 Output waveform for a J-K flip flop

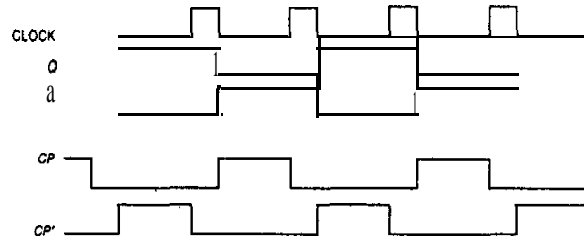
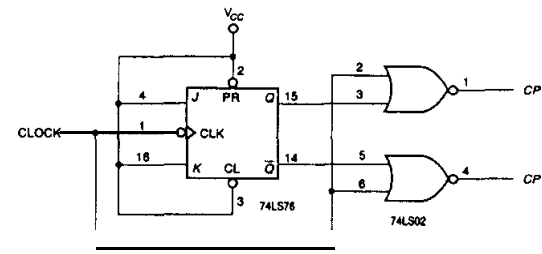
ตัวอย่าง การสร้าง J-K Flip Flop โดยใช้ NOR Gate



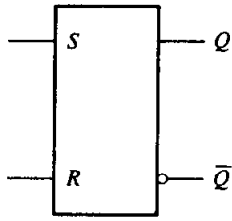
จากรูปที่ 6.32 แสดงการทำงานของ J - K Flip Flop พร้อมไคอะแกรมเวลา



รูปที่ 6.33 Non-overlapping clock

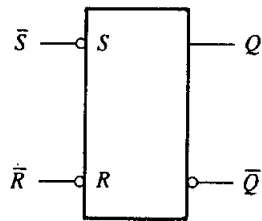


รูปที่ 6.33 ๗ ไดอะแกรมเวลาของ Non overlapping clock



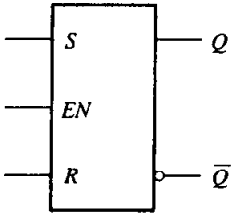
S	R	Q	Q̄
0	0	Q ₀	Q̄ ₀
0	1	0	1
1	0	1	0

(a) Active-HIGH input S-R



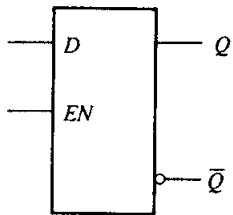
S̄	R̄	Q	Q̄
1	1	Q ₀	Q̄ ₀
1	0	0	1
0	1	1	0

(b) Active-LOW input S-R



S	R	EN	Q	Q̄
0	0	1	Q ₀	Q̄ ₀
0	1	1	0	1
1	0	1	1	0
X	X	0	Q ₀	Q̄ ₀

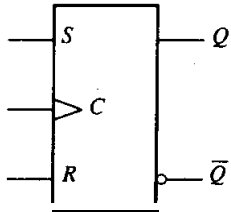
(c) Gated S-R



D	EN	Q	Q̄
0	1	0	1
1	1	1	0
X	0	Q ₀	Q̄ ₀

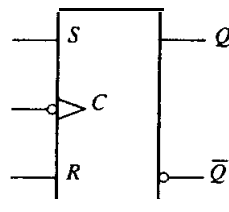
(d) Gated D

Note: Q₀ is the initial state.



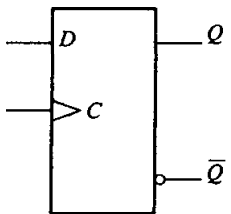
S	R	C	Q	Q̄
0	0	↑	Q ₀	Q̄ ₀
0	1	↑	0	1
1	0	↑	1	0

(a) Positive edge-triggered S-R



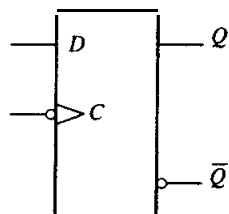
S	R	C	Q	Q̄
0	0	↓	Q ₀	Q̄ ₀
0	1	↓	0	1
1	0	↓	1	0

(b) Negative edge-triggered S-R



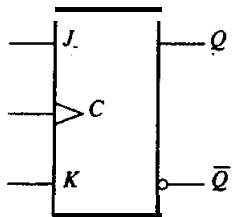
D	C	Q	Q̄
0	↑	0	1
1	↑	1	0

(c) Positive edge-triggered D



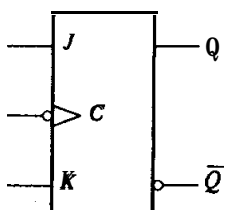
D	C	Q	Q̄
0	↓	0	1
1	↓	1	0

(d) Negative edge-triggered D



J	K	C	Q	Q̄
0	0	↑	Q ₀	Q̄ ₀
0	1	↑	0	1
1	0	↑	1	0
1	1	↑	Q̄ ₀	Q ₀

(e) Positive edge-triggered J-K



J	K	C	Q	Q̄
0	0	↓	Q ₀	Q̄ ₀
0	1	↓	0	1
1	0	↓	1	0
1	1	↓	Q̄ ₀	Q ₀

(f) Negative edge-triggered J-K

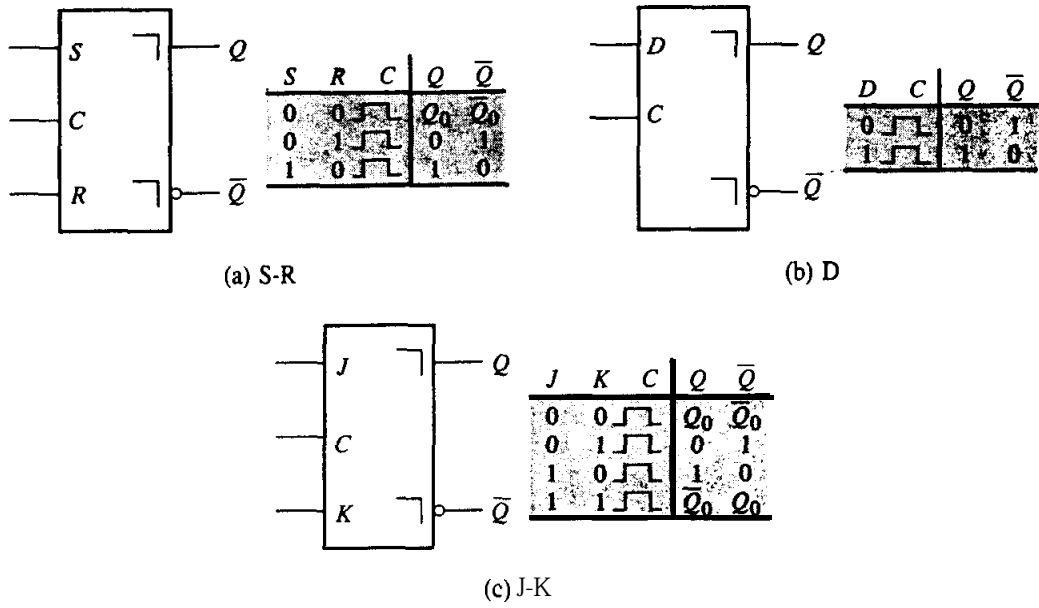
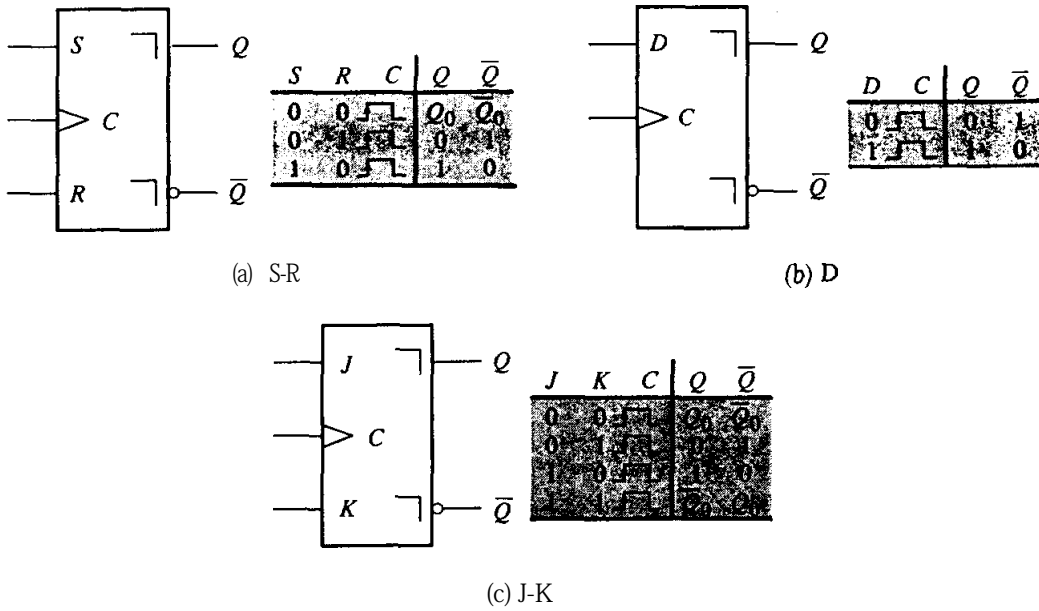


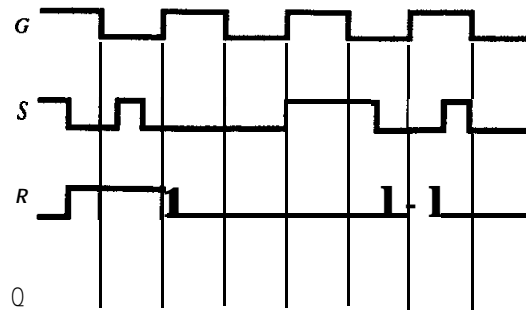
FIGURE 7-72
Pulse-triggered (master-slave) flip-flops.



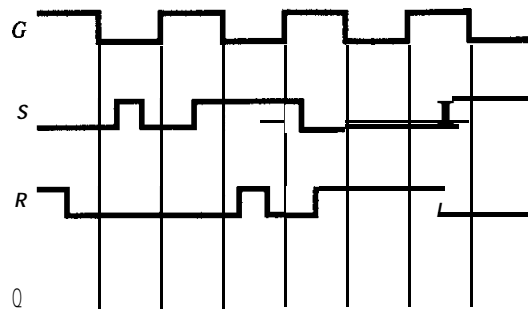
แบบฝึกหัด

1. จงเขียนไดอะแกรมเวลาของเอาต์พุต Q ของ S R Flip Flop ที่แสดงในรูป

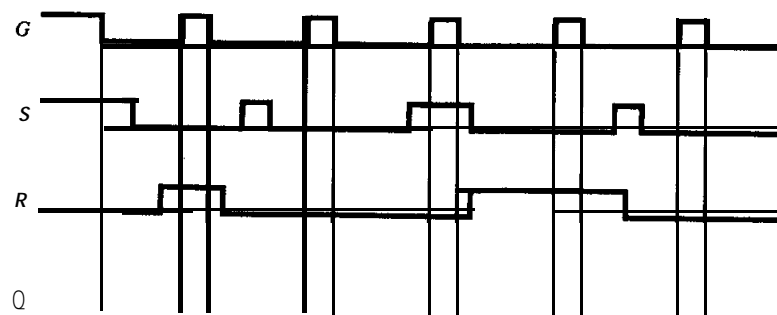
1.1



1.2

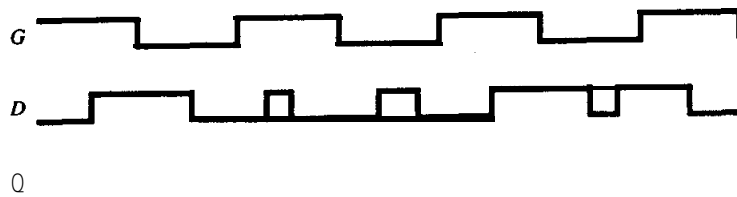


1.3

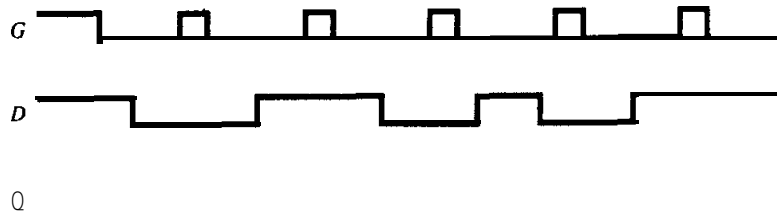


2. จงเขียนไดอะแกรมเวลาของเอาต์พุต Q ของ D Flip Flop ที่แสดงในรูป

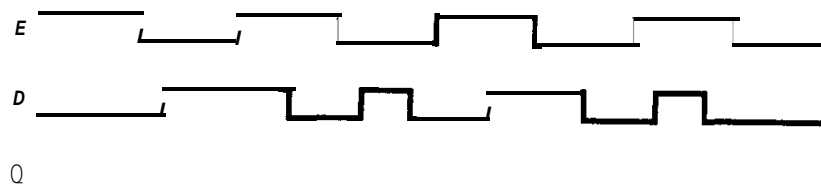
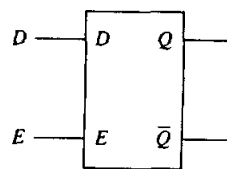
2.1



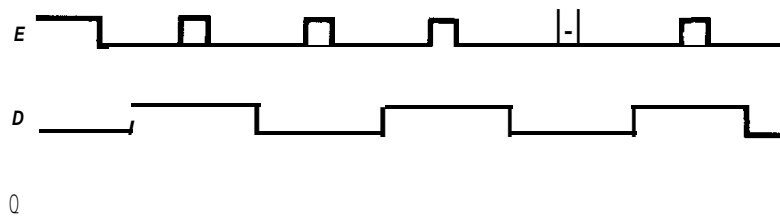
2.2



2.3

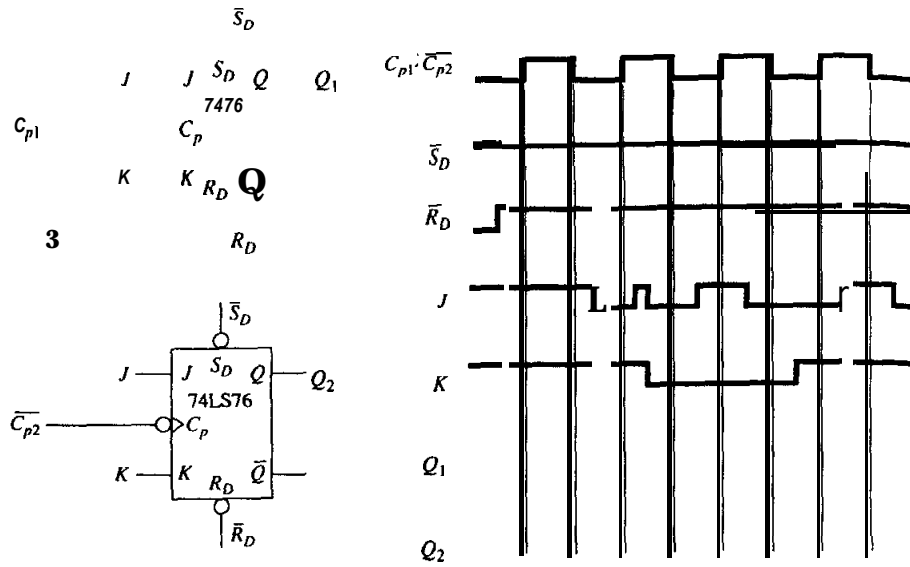


2.4

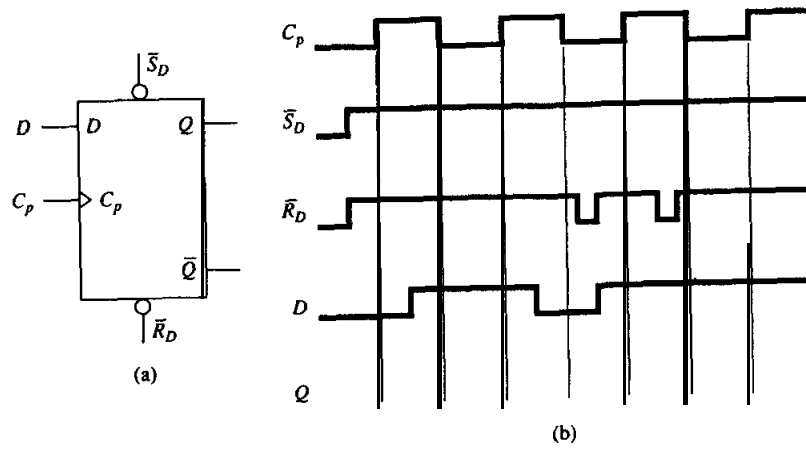


3. จากสัญลักษณ์ลอจิกจากรูปที่กำหนดให้ จงเขียนรูปคลื่นเข้าชุด Q

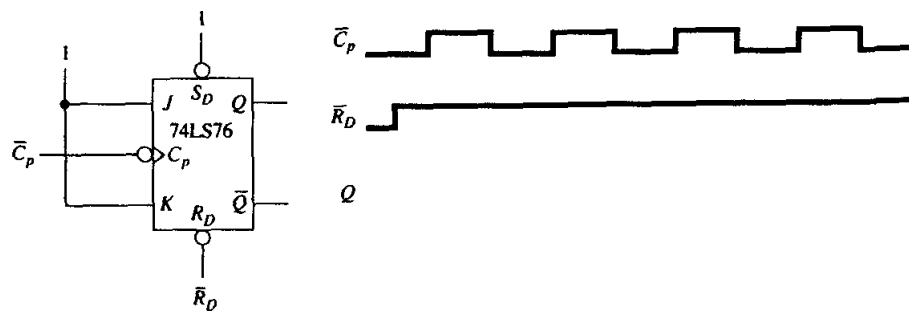
3.1



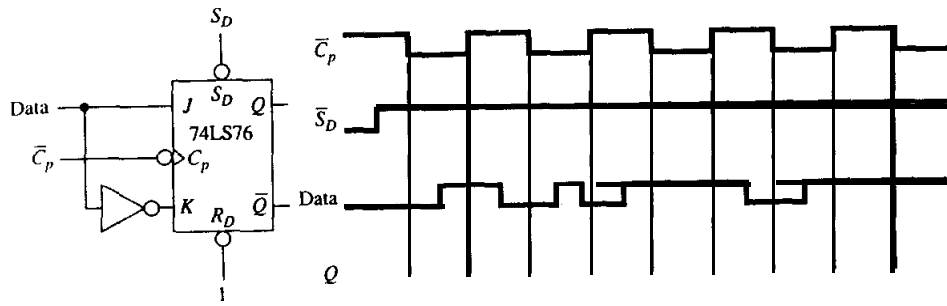
3.2



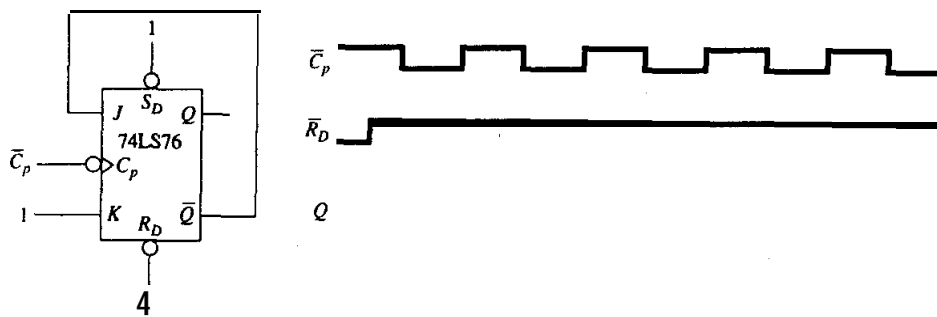
3.3



3.4



3.5



3.6

