

บทที่ 5

การออกแบบคอมไบเนชันลอจิก

Combination Logic Design

จุดประสงค์ของการศึกษาวงจรคอมไบเนชันลอจิก เพื่อกำหนดการทำงานของวงจรถูกตามความต้องการของผู้ออกแบบให้วงจรถูกทำงานตามความต้องการ ที่กำหนดในตารางแสดงคุณลักษณะของสมการชนิด SOP และ POS และการลดรูปวงจรถูกใช้เทคนิค K-Map เป็นเทคนิคชนิดหนึ่งที่ใช้ในการออกแบบและวิเคราะห์วงจรถูกคอมไบเนชันลอจิก

การออกแบบวงจรถูกดิจิทัลลอจิกนั้น จะต้องมีกำหนดยุครูปแบบของการทำงานในตารางที่กำหนดคุณลักษณะ ให้อยู่ในเทอมของลอจิก และกำหนดยุครูปแบบของการทำงานเป็นสมการ ให้ได้ผลลัพธ์เป็นวงจรถูกทำงานตามความต้องการที่กำหนด

5.1 กำจำกัดความของวงจรถูกลอจิก

ความสำคัญในการออกแบบวงจรถูกลอจิก คือ การวิเคราะห์การทำงานที่เกิดขึ้นทางอินพุตและเอาพุตตามความต้องการ เพื่อให้ได้ผลลัพธ์ตามวัตถุประสงค์ของผู้ออกแบบวงจรถูกลอจิก การออกแบบวงจรถูกลอจิกจะต้องแยกเป็นกลุ่มตามหน้าที่ที่กำหนด ตามรายละเอียดดังต่อไปนี้

ขั้นตอนที่หนึ่ง ของการออกแบบวงจรถูกลอจิก คือ กำหนดความต้องการด้านจำนวนอินพุตและสัญญาณเอาพุตที่ต้องการ เพื่อกำหนดการเขียนตารางแสดงคุณลักษณะ โดยจะต้องมีการกำหนดอินพุตและเอาพุต การกำหนดค่าของอินพุตแต่ละค่าสำหรับการออกแบบ จะได้ค่าเอาพุตเป็นอย่างไรบ้าง ให้แสดงไว้ในตารางแสดงคุณลักษณะ ผลลัพธ์ทางเอาพุตจะมีเพียง 1 ค่าหรือมากกว่า 1 ค่าก็ได้ในตารางแสดงคุณลักษณะ

5.2 การลดรูปวงจรถอจิก

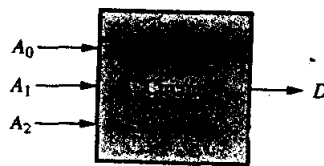
การออกแบบวงจรถอจิกหลังจากที่กำหนดการทำงานของสัญญาณเข้าชุดในตารางคุณลักษณะแล้ว การหาค่าของเข้าชุดจะต้องใช้เทคนิคการลดรูปที่มีอยู่หลายแบบเทคนิคหนึ่งคือการใช้เทคนิคคาร์โนแมพ สามารถใช้กับค่าของตัวแปรเข้าชุดมี 5 ตัวแปร หรือน้อยกว่า การใช้การลดรูปคาร์โนแมพสามารถทำได้ เราสามารถลดรูปโดยใช้ SOP และ POS หรือใช้สมการ Active low SOP

สำหรับเทคนิคการลดรูปที่มีตัวแปรมากกว่า 5 ตัว เทคนิคการใช้วิธีการลดรูปแบบคาร์โนแมพจะไม่เหมาะสม เราสามารถใช้เทคนิควิธีการลดรูปวิธีอื่นๆได้ หนังสือเล่มนี้ใช้คาร์โนแมพแสดงการลดรูป ในการแก้ปัญหาต่างๆ เพราะการกำหนดค่าของตัวแปรไม่เกิน 5 ตัว

เทคนิคการลดรูปโดยใช้วิธีการของคาร์โนแมพ จะนำมาใช้ลดรูปวงจร คือ Multiplexers , Demultiplexers, Decoder , Encoder , Arithmetics circuits เป็นต้น

5.3 การออกแบบวงจร

การออกแบบวงจรถอจิกให้ทำงานตามความต้องการที่กำหนดนั้น พื้นฐานของการออกแบบเราใช้สมการ SOP หรือ POS ทำให้ผลลัพธ์ของวงจรมีอยู่ 2 ระดับ วงจร SOP หรือ POS เราจะใช้ลอจิกเกตให้น้อยที่สุดในการออกแบบ และทำงานให้ได้ตามความต้องการที่กำหนด

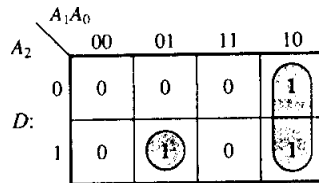


รูปที่ 5-1 วงจรคอมไบเนชันลอจิก เข้าชุดจะเกิดขึ้นตามสภาวะอินพุต

ตาราง 5-1 แสดงคุณลักษณะที่กำหนด 3 อินพุต และ 1 เอาต์พุต

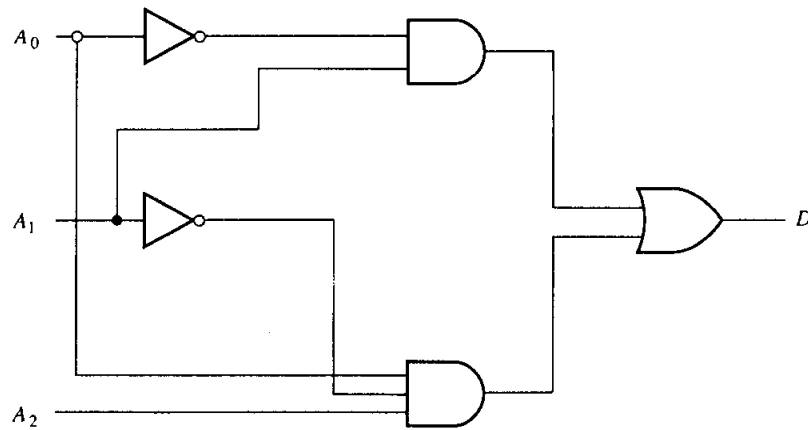
A2	A1	A0	D
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

การลดรูปโดยใช้เทคนิคคาร์โนแมพ (K-Maps)



รูปที่ 5-2 เทคนิคการลดรูปโดยใช้ K-Map

วงจรถอจิกที่ได้จากการลดรูป

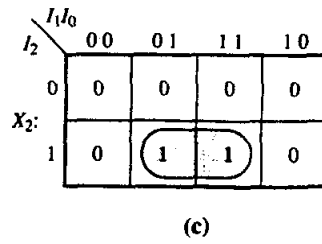
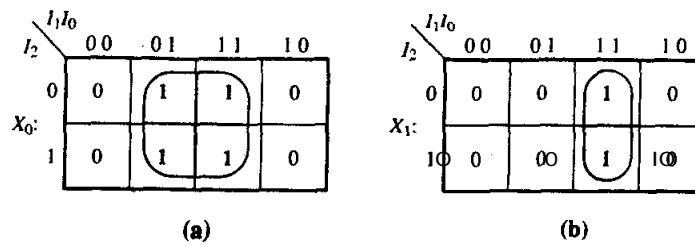


รูปที่ 5.3 วงจรถอจิกที่ได้จากการลดรูป

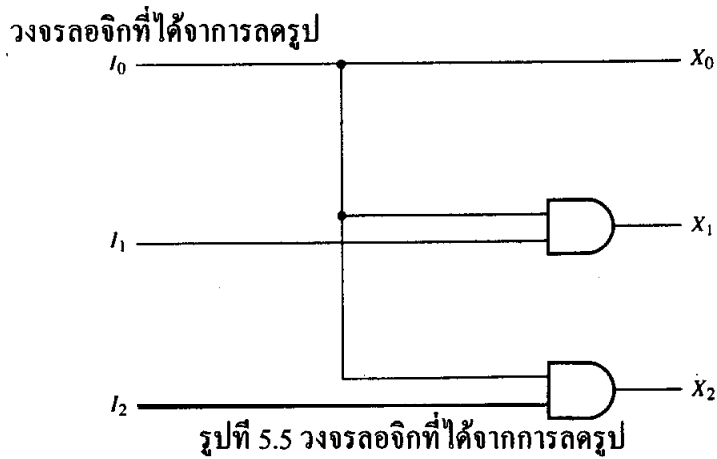
ตาราง 5-2 แสดงคุณลักษณะที่มีหลายอินพุตและหลายเอาต์พุต

I_2	I_1	I_0	X_2	X_1	X_0
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	0	0
0	1	1	0	1	1
1	0	0	0	0	0
1	0	1	1	0	1
1	1	0	0	0	0
1	1	1	1	1	1

การลดรูปโดยใช้คาร์โนแมพ (K-Maps)



รูปที่ 5-4 เทคนิคการลดรูปโดยใช้ K-Map



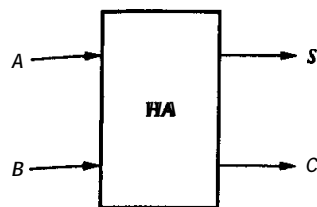
5.4 การบวกและการลบเลขฐานสอง

5.4.1 วงจรบวกเลขแบบ Half Adder

การบวกเลขของวงจรถลอจิก จะทำการบวกค่าเลขฐานสอง 2 บิต เราจะพิจารณาจากตารางแสดงคุณลักษณะการบวกเลข สำหรับค่าเลขฐานสอง 2 ตัว คือ บิต A และบิต B จากตารางที่ 5.3 เมื่อมีการบวกเลขทั้งสองเข้าด้วยกันแล้วจะได้ผลลัพธ์ตามกฎของการบวกเลขฐานสอง คือค่า SUM = S และ Carry out = Co ดังนั้นตัวอย่างการบวกเลขฐานสิบ โดยการบวกค่า 7 กับค่า 6 จะได้ผลลัพธ์ S = 3 และ Carry out = 1 จากตาราง 5.3 ค่า SUM = 1 เมื่อค่า A หรือค่า B = 1 และตัวทศออกหรือ Carry out = 0 แต่ค่าของ A = B = 1 ตัวทศออกจะเป็น 1 จะได้ค่าของสมการไบนารีลอจิกจะเป็น

$$C = AB$$

$$S = \bar{A}B + A\bar{B}$$

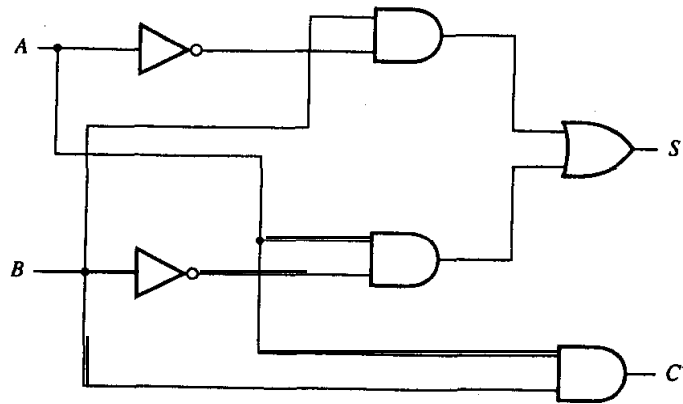


รูปที่ 5.6 บล็อกไดอะแกรมของวงจร HA

จากสมการที่ได้ก็นำมาเขียนเป็นวงจรถลอจิกได้ตามรูปที่ 5.6

ตาราง 5.3 การบวกเลขแบบ 1 บิต

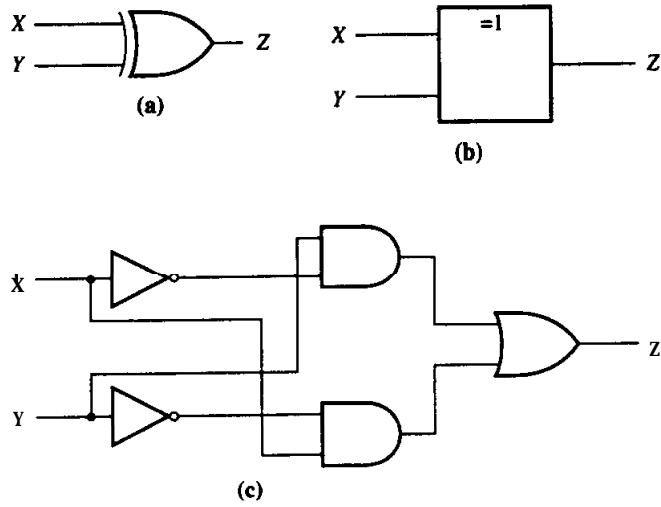
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



รูปที่ 5.7 วงจรการบวกเลขแบบ 1 บิตชนิด Half adder และบล็อคดีอะแกรม

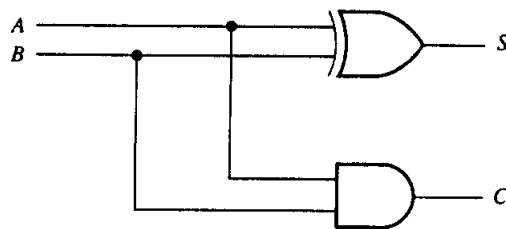
ตาราง 5-4 การทำงานของวงจร Exclusive-OR gate

x	Y	Z
0	0	0
0	1	1
1	0	1
1	1	0



รูปที่ 5-8 วงจรลอจิก

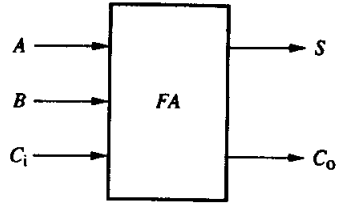
วงจรวกเลขแบบ Half Adder



รูปที่ 5.9 วงจรลอจิก HA

5.4.2 วงจรวกเลขแบบ Full Adder

วงจรวกเลข 2 บิตชนิด Half adder เราจะใช้ในการบวกเลขฐานสองในบิตที่มีค่าต่ำสุดเท่านั้น เนื่องจากค่าต่ำสุดของการบวกเลขฐานสองจะไม่มีตัวทดเข้า แต่ถ้าเลขฐานสองบิตที่มีค่าสูงถัดไปของการบวกเลขแบบหลายบิต ถ้ามีตัวทดจะต้องมีการส่งผ่านตัวทไปยังบิตที่มีค่าสูงถัดไป คือ เป็นค่า Carry in หรือ C_i ของบิตที่มีค่าสูง รูปแบบของการบวกเลขแบบมีตัวทดเข้าเราเรียกว่า Full adder



รูปที่ 5.10 บล็อกไดอะแกรมวงจร Full Adder

ตาราง 5.5 แสดงคุณลักษณะของวงจรบวกเลขแบบ Full Adder

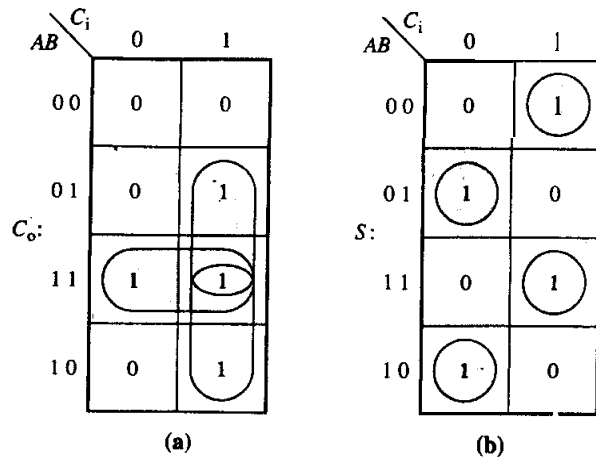
A	B	C _i	C _o	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

สมการพีชคณิตบูลีนที่ได้จากตาราง

$$C_o = AB + BC_i + AC_i$$

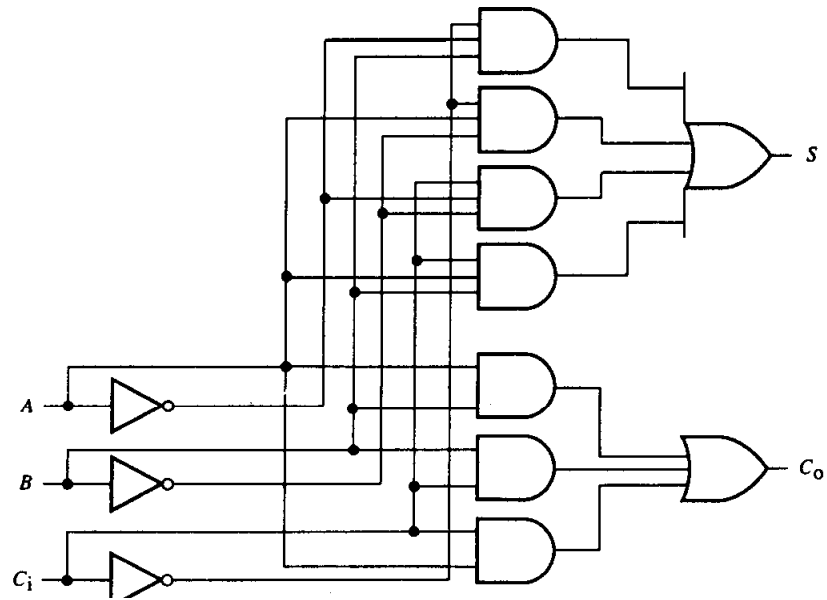
$$S = \overline{A}B\overline{C}_i + \overline{A}BC_i + A\overline{B}C_i + AB\overline{C}_i$$

การลดรูปโดยใช้คาร์โนแมพ (K-Maps)



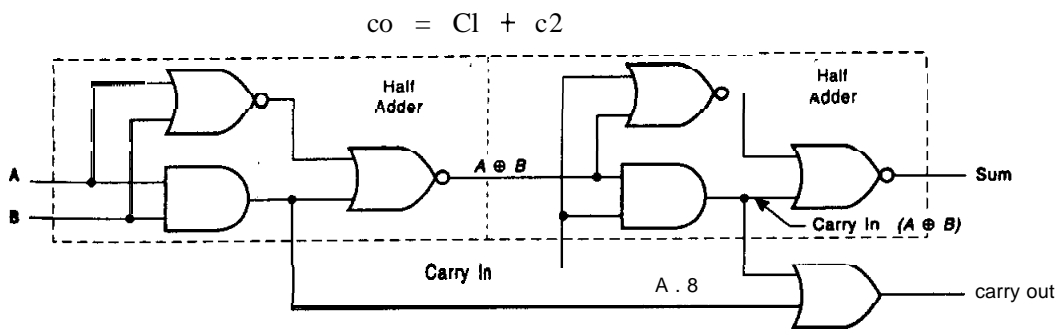
รูปที่ 5-11 เทคนิคการลดรูปโดยใช้ K-Map

วงจรวกเลขชนิด Full Adder



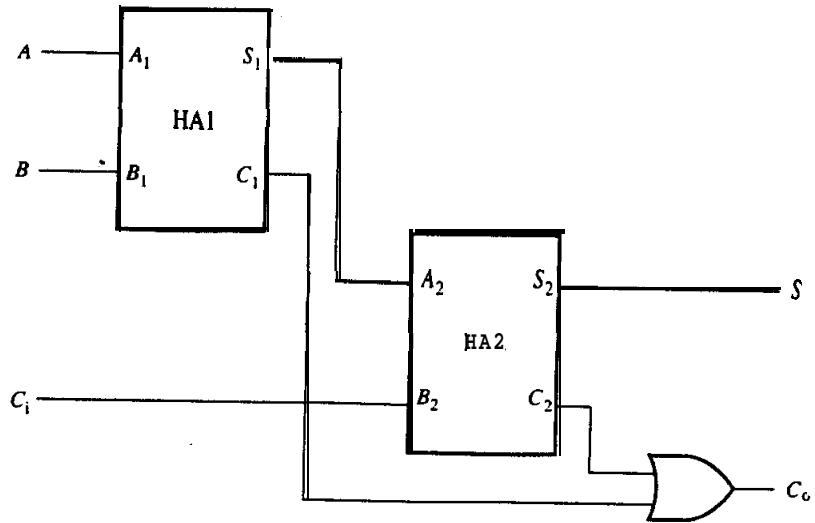
รูปที่ 5.12 วงจรลอจิก FA

วงจรวกเลขแบบ Full Adder ที่แสดงในรูป 5.12 เราสามารถใช้โครงสร้างของวงจรวกเลขแบบ half Adder 2 ตัวมารวมกัน ดังแสดงในรูป 5.13 สังเกตจากวงจรมีลอจิกเพียง 5 ตัว ส่วนในรูปที่ 5.14 มีลอจิกเกต 12 ตัว วงจรในรูป 5.14 มีอินพุต 3 ตัวคือ A, B, Ci โดยตัวบวกตัวแรกมีอินพุต A, B ใช้เป็นอินพุตของ HA1 ผลบวกของ A, B คือ S1 และหลังจากบวกแล้วจะเป็นอินพุตให้กับ HA2 ร่วมกับ Ci เพื่อจะให้ผลลัพธ์ S และตัวทศสุดท้ายคือ Co มาจาก C1 และ C2 นำมา OR กันเพื่อให้ได้ผลลัพธ์ Co



Full adder-sum and carry

F-



รูปที่ 5.13 วงจรบวกเลขแบบ Full Adder โดยใช้ Half Adder 2 ตัวต่อร่วมกัน

จากวงจรวกเลขจะได้

$$C_1 = AB$$

และ

$$c_2 = S_1C_1$$

จาก $c_o = C_1 + c_2$

$$C_o = AB + S_1C_2$$

จะได้

$$S_1 = A + B \quad (\text{A Ex-Or B})$$

เพราะฉะนั้น

$$C_o = AB + S_1C_2$$

$$S_1 = A \oplus B$$

Therefore, Equation 4.13 becomes

$$\begin{aligned} C_o &= AB + (A \oplus B)C_i \\ &= AB + (\overline{A}B + A\overline{B})C_i \\ &= AB + \overline{A}BC_i + \overline{A}BC_i \\ &= A(B + \overline{B}C_i) + \overline{A}BC_i \\ &= A(B + C_i) + \overline{A}BC_i \\ &= AB + AC_i + \overline{A}BC_i \\ &= AB + C_i(A + \overline{A}B) \\ &= AB + C_i(A + B) \\ &= AB + AC_i + BC_i \end{aligned}$$

5.5 การลบเลข (SUBTRACTERS)

การลบเลขฐานสอง Half Subtractor และ Full Subtractor ซึ่งมีกฎเกณฑ์การลบเลขฐานสองดังต่อไปนี้

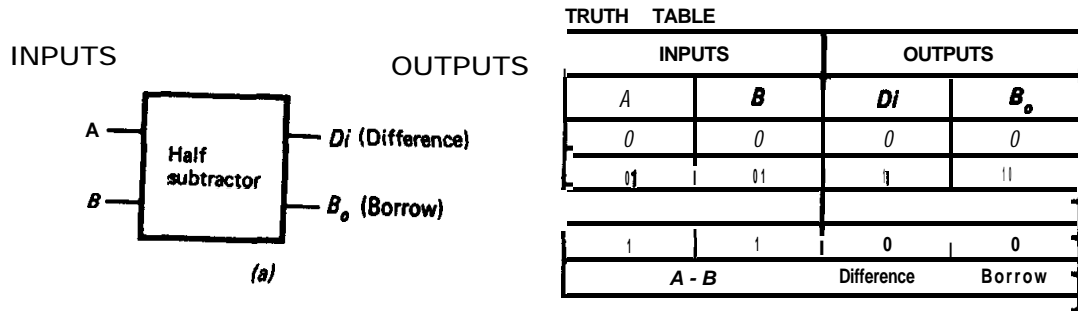
ตัวตั้ง	ตัวลบ	ผลต่าง	ตัวยืม
0	- 0	= 0	0
0	- 1	= 1	1
1	- 0	= 1	0
1	- 1	= 0	0

จากกฎการลบเลขเราจะนำมาเขียนลงในตารางแสดงคุณลักษณะ ซึ่งแสดงให้เห็นผลลัพธ์การทำงานของอินพุตและเอาพุต เอาพุตเราสามารถแทนด้วย Ex-Or เราจะเห็นว่าผลต่างของเอาพุตจะเท่ากับผลบวก ในวงจร Half adder ส่วนคอลัมน์ของตัวยืม ในตาราง ฟังก์ชันของการทำงานตารางนี้จะได้สมการเป็น สามารถแทนด้วย Not gate และ AND gate 2 อินพุต

$$Y = \overline{A} B$$

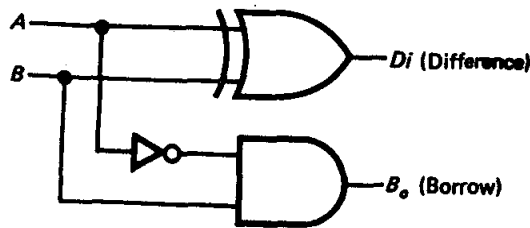
INPUT		OUTPUT	
ตัวตั้ง	ตัวลบ	ผลต่าง	ตัวยืม
A	B	D	Y
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

ตาราง 5.6 ตารางแสดงคุณลักษณะของวงจรลบเลขชนิด Half adder



รูปที่ 5.14 บล็อกไดอะแกรมของวงจรเลขชนิด Half Subtractor

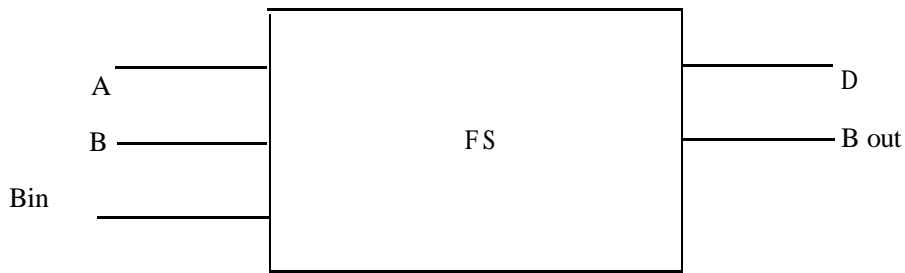
จากตารางเราสามารถเขียนแทนด้วยวงจรถอจิก ที่เรียกว่า Half Subtractor ซึ่งจะได้ค่าของผลต่างเป็น $D = A \text{ Ex-Or } B$ และตัวยืม $B = A \bar{B}$



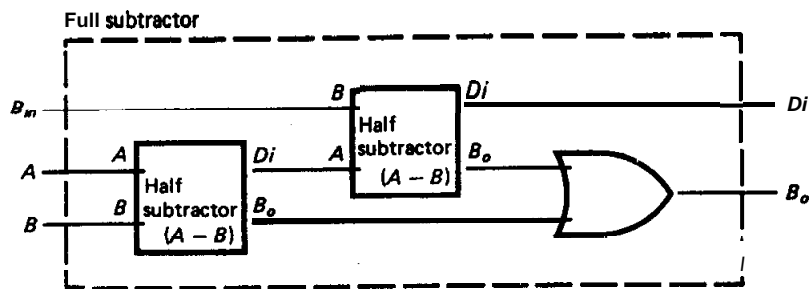
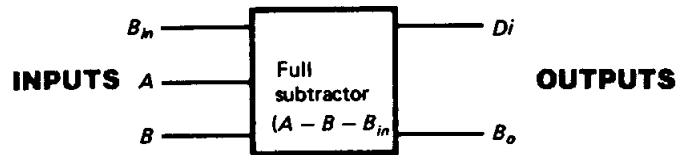
รูปที่ 5.15 วงจรถอจิก Half Subtractor

5.5.1 วงจรเลขชนิด Full Subtractor

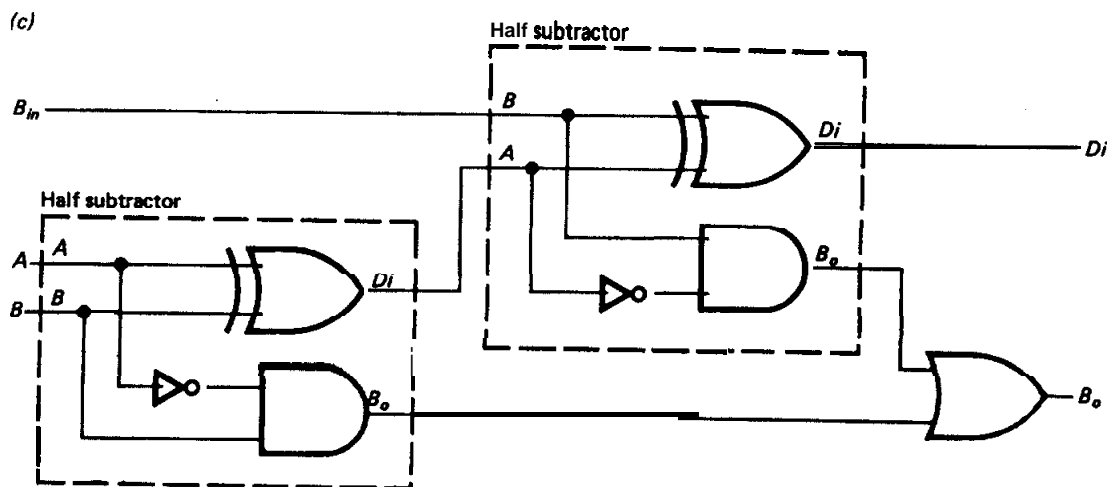
วงจรเลขแบบ Full Subtractor (FS) จะประกอบด้วยอินพุต A อินพุต B และตัวยืมเข้า Bin ส่วนทางด้านเข้าพุตของวงจรประกอบด้วย เข้าพุตผลต่าง Di และเข้าพุตตัวยืมออก Bo ดังแสดงในรูปที่ 5.16



รูปที่ 5.16 บล็อกไดอะแกรมของวงจรเลขชนิด Full Subtractor



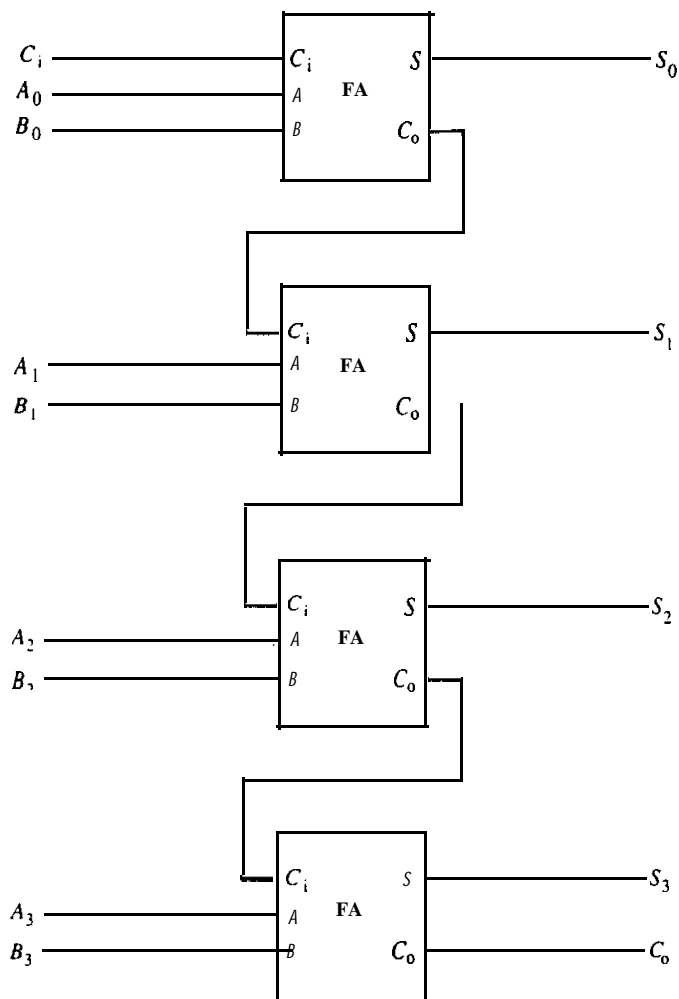
รูปที่ 5.17 วงจรเลขแบบ Full Subtractor โดยใช้ Half Subtractor 2 ตัวร่วมกับ OR gate



รูปที่ 5.18 วงจรลอจิกของวงจรถเลขชนิด Full Subtractor

5.6 การบวกเลขแบบขนาน (Parallel Adder)

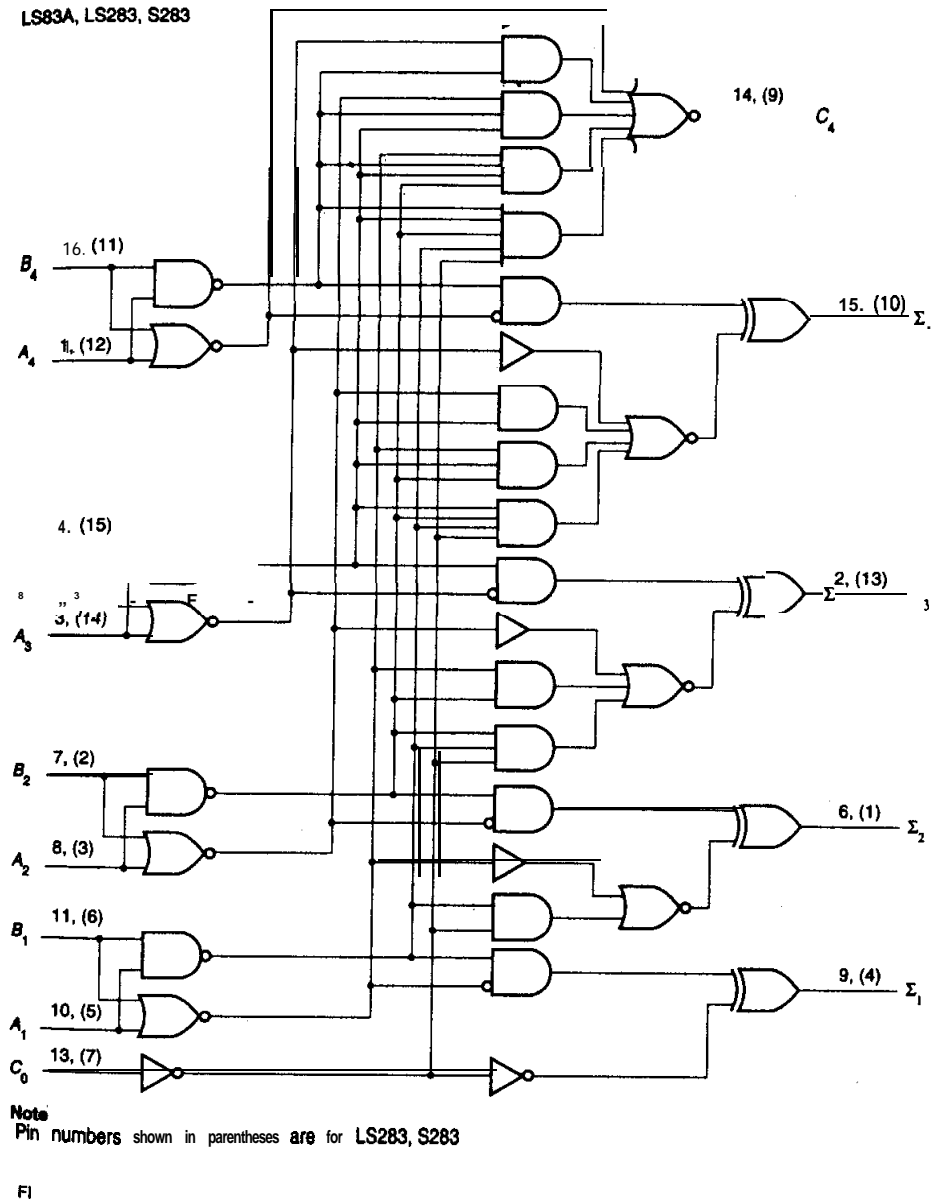
ในระบบคอมพิวเตอร์การทำงานของการบวกเลขฐานสองทำได้ 2 วิธี คือการบวกเลขแบบขนาน (Parallel adder) และการบวกเลขแบบอนุกรม (Serial adder) การบวกเลขอนุกรมเหมือนกับการบวกเลขด้วยมือคือการบวกทีละบิต โดยทำการบวกเลขในบิตที่มีค่าต่ำสุดก่อน แล้วทำการบวกบิตที่มีค่าสูงถัดไป ซึ่งการบวกเลขแบบอนุกรมนี้อาจใช้เวลามาก ส่วนการบวกเลขแบบขนานทำได้รวดเร็วกว่าแบบอนุกรม การทำงานจะเป็นการบวกครั้งละ 1 เวิร์ด (Binary word) คือกลุ่มของบิต เช่น 4 บิต 8 บิต 16 บิต แต่การออกแบบวงจรบวกเลขแบบอนุกรมจะมีวงจรมีขั้วน้อยกว่าวงจรวกเลขแบบขนาน แต่วงจรวกเลขแบบขนานทำงานได้รวดเร็วกว่า จากรูปแสดงวงจรวกเลขแบบขนานขนาด 4 บิตดังต่อไปนี้



รูปที่ 5.19 วงจรวกเลขแบบขนานขนาด 4 บิต

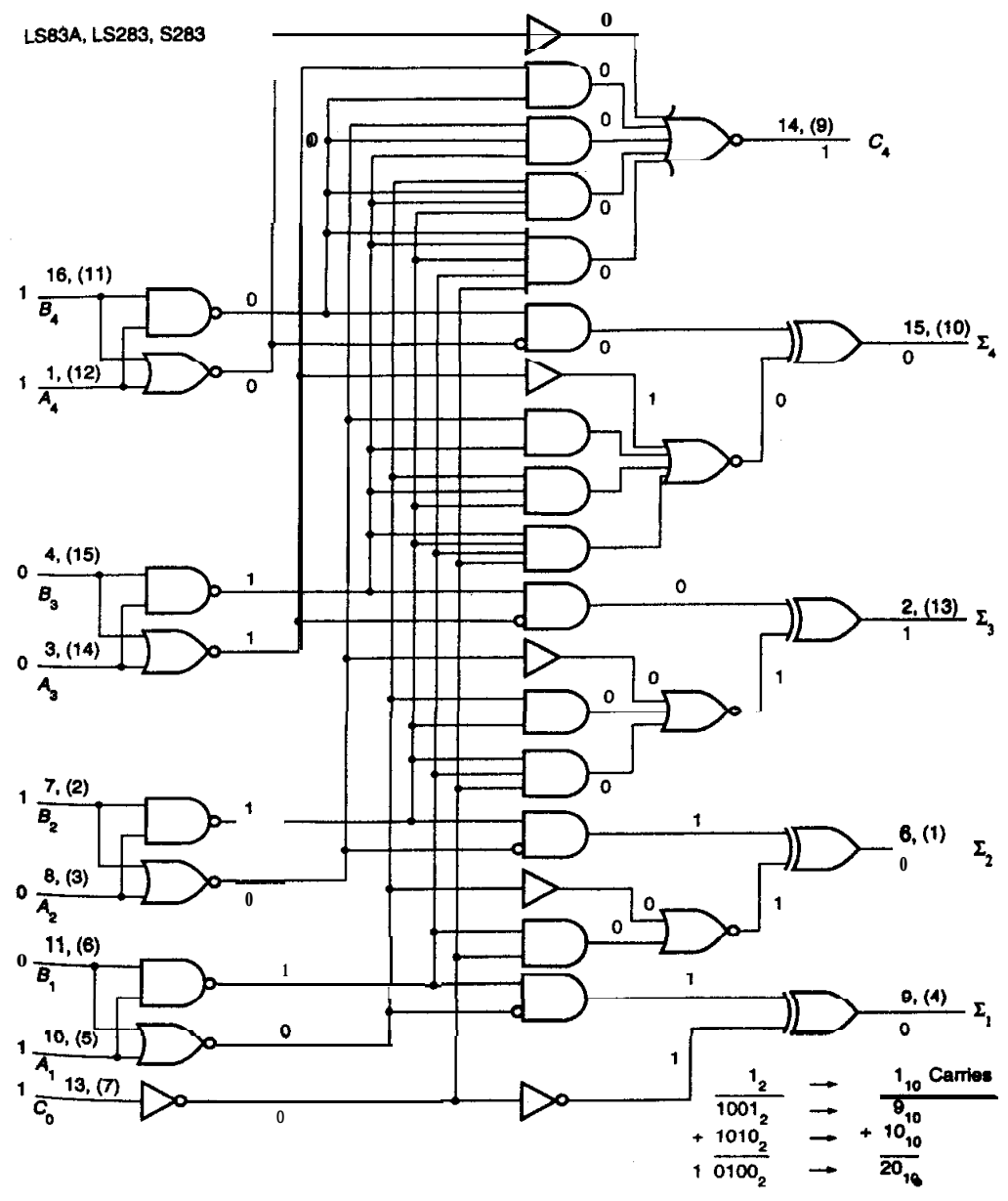
5.6.1 การทำงานของวงจรบวกเลขของไอซี 7483

จากการออกแบบวงจรลอจิกในการบวกเลข ดูจากวงจรรวมที่เรียกว่า ICs เบอร์ 7483 ซึ่งเป็นวงจรถูกบวกเลขขนาด 4 บิต ดังแสดงในรูปที่ 5.20



รูป 5.20 วงจรลอจิกการบวกเลขแบบขนานของไอซี 7483

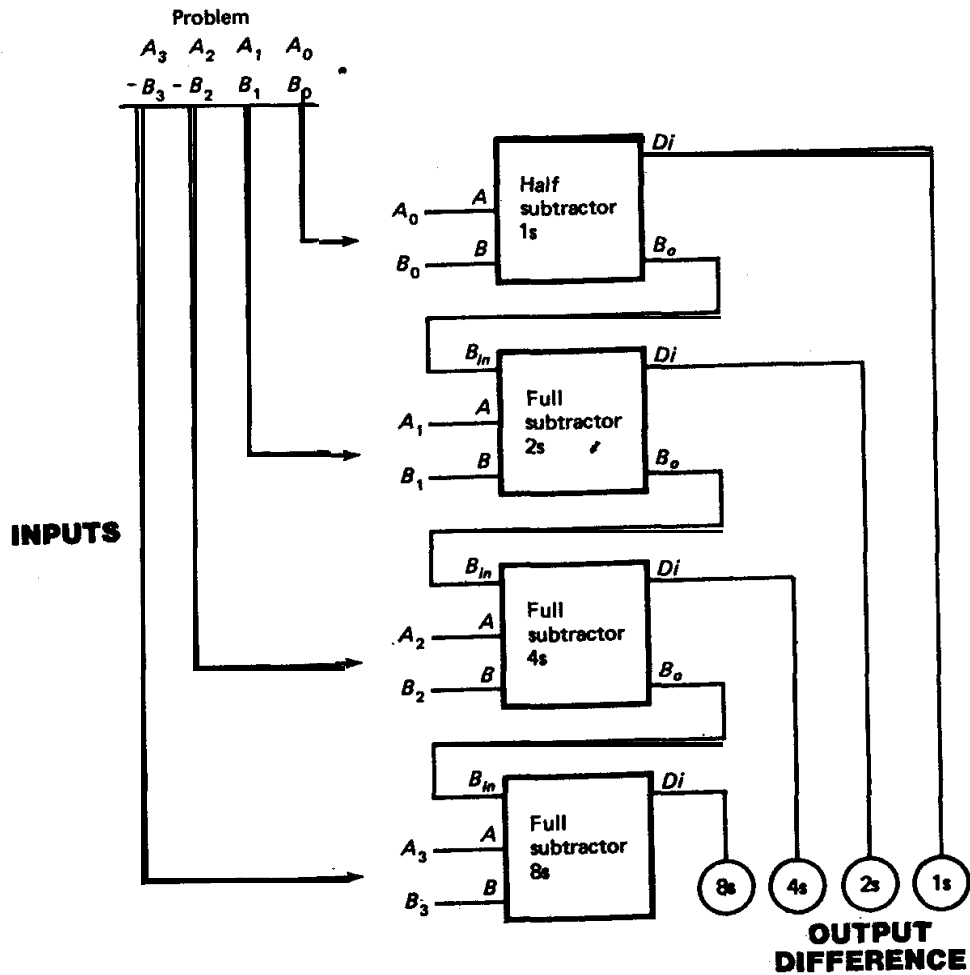
ตัวอย่าง 5.2 การบวกเลขโดยใช้วงจรรวมเบอร์ 7483 ซึ่งแสดงการบวกค่า $A = 1001$, $B = 1010$ และมีตัวทศออก $C_0 = 1$ แสดงในรูปที่ 5.21



รูป 5.21 แสดงขาของวงจรวกเลขไอซี 7483

5.6.2 การลบเลขแบบขนาน (Parallel Subtractors)

วงจรลบเลขแบบ HS และวงจรลบเลขแบบ FS เมื่อนำมาต่อเข้าด้วยกันก็จะเป็นวงจร Parallel Subtractor การเชื่อมต่อวงจรเข้าด้วยกันเหมือนกับวงจรวกเลขแบบขนาน ตัวอย่างตัวอย่างในรูปที่ 5.22 เป็นการต่อวงจรการลบเลขแบบขนาน



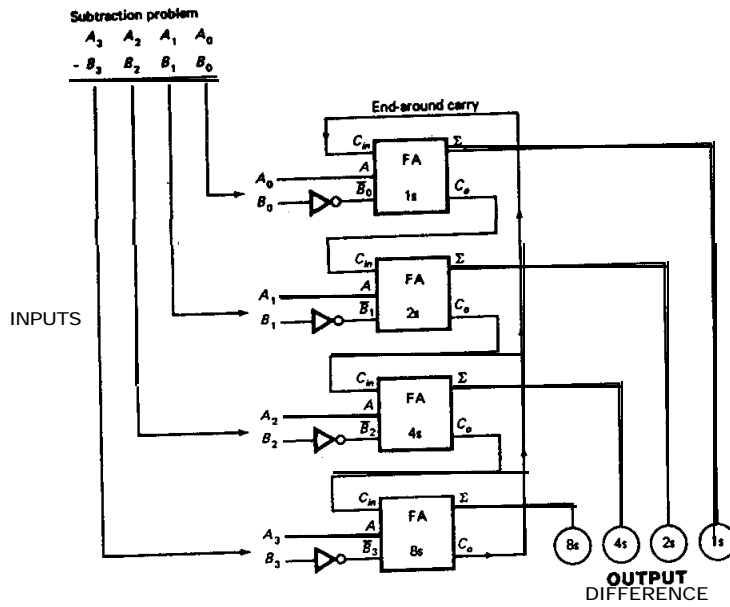
รูปที่ 5.22 4

5.6.3 การใช้วงจรบวกเลขในการลบเลข

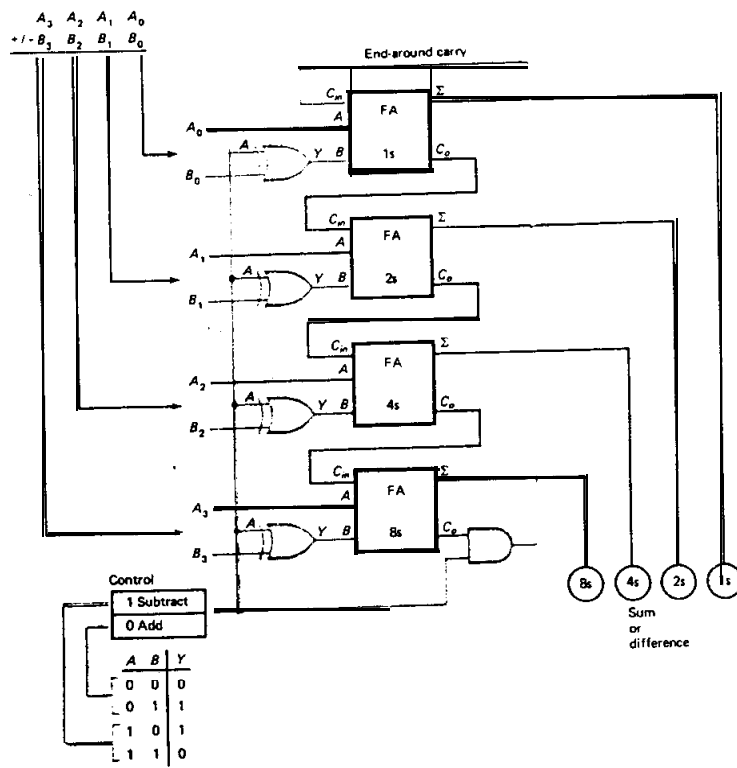
จากการศึกษาเกี่ยวกับวงจรบวกเลขและวงจรลบเลขแล้วหลักการออกแบบวงจรจะมีเคล็ดลับเพียงเล็กน้อยในการใช้วงจรบวกเลขเป็นวงจรลบเลข มีเทคนิคในการคำนวณที่จะช่วยให้วงจรบวกเลขเป็นวงจรลบเลข เทคนิคนี้แสดงในรูปที่ 5.23 ปัญหาของการลบเลขฐานสิบของค่า 6 จากเลขฐานสิบค่า 10 (ค่าไบนารีคือ 1010 – 0110) การแสดงการลบเลขโดยใช้หลักการของ 1's คอมพลิเมนต์ ค่าของตัวเลขที่นำมาลบจะต้องกลับค่าเป็น 1's คอมพลิเมนต์ก่อนแล้วจึงนำมาบวก ดังแสดงในรูป ผลลัพธ์ที่ได้จากการบวกจะเป็นคำตอบชั่วคราวคือ 10011 ต่อไปให้บิตตัวสุดท้ายทางด้านซ้ายมือเข้ามาบวกเราเรียกว่า End around carry กับบิตที่มีค่าต่ำสุดของผลลัพธ์ชั่วคราวจะได้ 0100 ซึ่งเป็นค่าเลขฐานสิบคือ 4 ดังแสดงในรูปที่ 5.24 วงจรลบเลขขนาด 4 บิตใช้หลักการของ 1's คอมพลิเมนต์

Decimal Subtraction	Binary Subtraction		Special technique Subtraction
10	1 0 1 0	1's complement	1 0 1 0
<u>- 6</u>	- 0 1 1 0	end Add	+ 1 0 0 1
4	1 0 0		1 0 0 1 1
		end around	+ 1
		carry	<u>1 0 0</u>

รูปที่ 5.23 การแสดงการบวกเลขแบบ 1's คอมพลิเมนต์



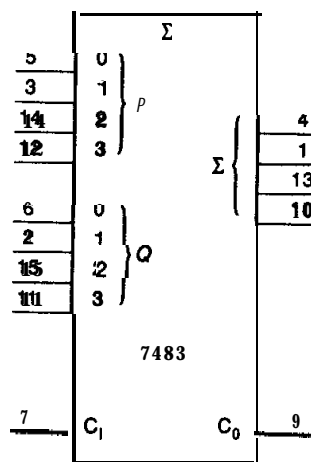
รูปที่ 5.24 วงจรบวกเลขในการนำมาเป็นวงจรลบเลขแบบ 1's คอมพลีเมนต์



รูปที่ 5.25 การรวมวงจรบวกเลขและวงจรลบเลขเข้าด้วยกัน

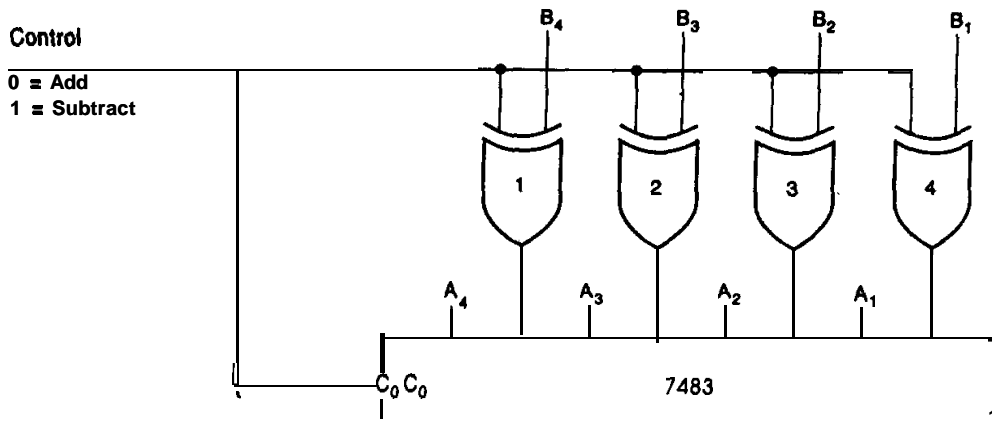
จากวงจรในรูปที่ 5.25 เราใช้ XOR gate มาแทนที่ NOT gate อินพุตของลอจิก XOR (A) ถ้ามีค่าเป็น 0 ข้อมูลของการทำงานของอินพุต B ทั้งหมดจะไม่เปลี่ยนแปลง ดูจากตารางในรูปซ้ายมือ คือวงจรนี้จะทำงานเป็นการบวกเลข แต่ถ้าค่าของอินพุตลอจิก XOR (A) มีค่าเป็น 1 ของของตัวกระทำ B ทั้งหมดจะกลับค่าเป็นตรงกันข้ามในการป้อนข้อมูลให้กลับวงจรบวกเลข ส่วนควบคุมของลอจิก XOR gate ค่าของ 1 จะควบคุมการทำงานของ AND gate กับผลลัพธ์ตัวทศออกของบิต 8s ทำงานเป็น End around carry กลับไปยังตัวทศเข้าของวงจรบวกเลขตัวที่ 1s

การออกแบบวงจรบวกเลขโดยใช้ 7483 ซึ่งเป็นวงจรบวกเลขขนาด 4 บิต มีค่าตัวบวกคือ A4 A3 A2 A1 และตัวกระทำบวกคือ B4 B3 B2 B1 หรือวงจรลบเลขโดยการนำค่า B4 B3 B2 B1 มาลบออกจาก A4 A3 A2 A1 โดยใช้หลักการของ 2's คอมพลิเมนต์



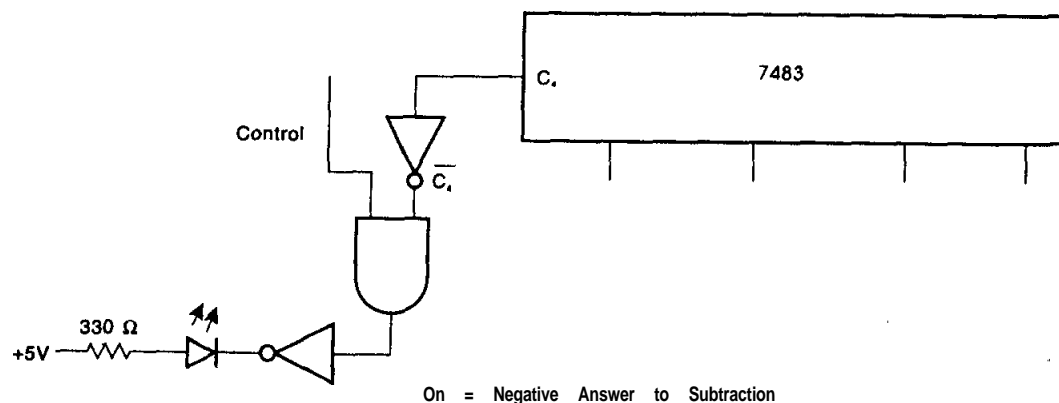
รูปที่ 5.26 บล็อกไดอะแกรมของ 7483

การใช้ไอซี 7483 วงจร 4 บิต Full Adder ในการบวกเลขและลบเลขโดยใช้หลักการของ 2's คอมพลิเมนต์มีดังต่อไปนี้



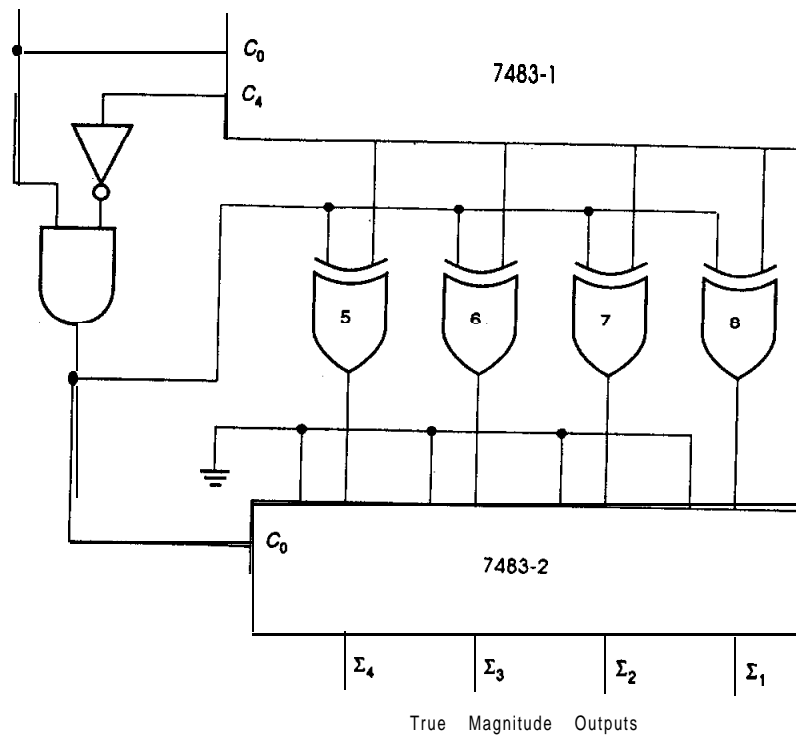
รูปที่ 5.27 .

1. จากรูปที่ 5.27 ค่าของจำนวนตัวกระทำ $B_4 B_3 B_2 B_1$ ที่จะนำมาบวกนั้น แต่ปัญหาของการลบเลขโดยใช้หลักการของ 2's คอมพลิเมนต์จะแตกต่างกับการทำแบบ 1's คอมพลิเมนต์ คือ การกลับค่าที่จะมากระทำให้เป็นตรงกันข้ามและบวก 1 ค่าของ 1's คอมพลิเมนต์สามารถใช้ XOR gate ได้ แต่เทคนิคการลบแบบนี้เราใช้ค่า 1 บวกเข้ากับค่า 1's คอมพลิเมนต์เพื่อให้ได้ค่า 2's คอมพลิเมนต์แล้วจึงนำมาบวกกับตัวตั้ง โดยการส่งสัญญาณควบคุมที่เป็นค่า 1 ไปให้กับตัวทศเข้าของ C_0



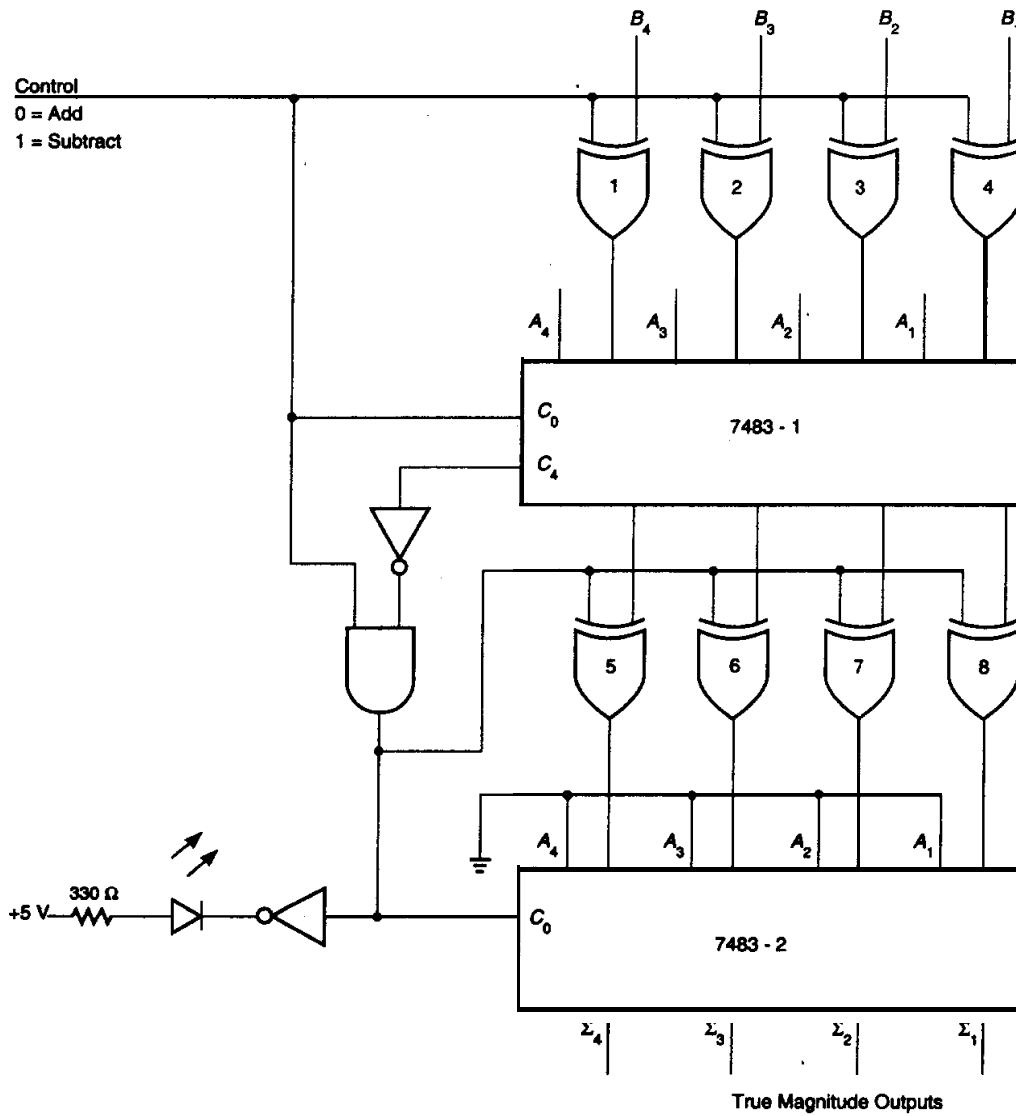
รูปที่ 5.28

2. จากรูปที่ 5.28 ถ้าปัญหาคือการลบเลขและถ้าไม่มีค่าโอเวอร์โฟลว์ ($C_4=0$) คำตอบที่ได้จะเป็นค่าติดลบจะต้องทำค่าของผลลัพธ์เป็น 2's คอมพลิเมนต์อีกครั้งหนึ่งจะได้คำตอบที่แท้จริง ในกรณีของวงจรลบเลขแบบ 1's คอมพลิเมนต์ ค่าของ C_4 สามารถกลับค่าเป็น $\overline{C_4}$ ค่าของ $\overline{C_4}$ สามารถใช้ AND gate กับสัญญาณควบคุม ค่าของ HIGH ที่ทางด้านเข้าพุตของ AND gate ซึ่งปัญหาของการลบคือคำตอบที่ได้เป็นค่าติดลบ สัญญาณนี้จะขับตัว LED ใหนทำงานที่ Active LOW แสดงในรูปค่าของสัญญาณ HIGH จากเข้าพุตของ AND gate จะเป็นตัวที่ผลลัพธ์ของการบวกที่ใช้หลักการของ 2's คอมพลิเมนต์ว่าเป็นค่าจริง ส่วนของ 1's คอมพลิเมนต์สามารถใช้ผลลัพธ์ของลอจิก XOR gate กับค่าเข้าพุตของ AND gate และบวก 1 ในรูปของ 2's คอมพลิเมนต์ ในกรณีของไอซี 7483 เข้าพุตของ AND gate สามารถส่ง C_0 โดยตรงไปยัง 7483 ตัวที่ 2 ของการบวกเลขแบบ 2's คอมพลิเมนต์ ค่าของเข้าพุตวงจรวบเลขจะได้คือ $\Sigma_4 \Sigma_3 \Sigma_2 \Sigma_1$ ของไอซี 7483-2



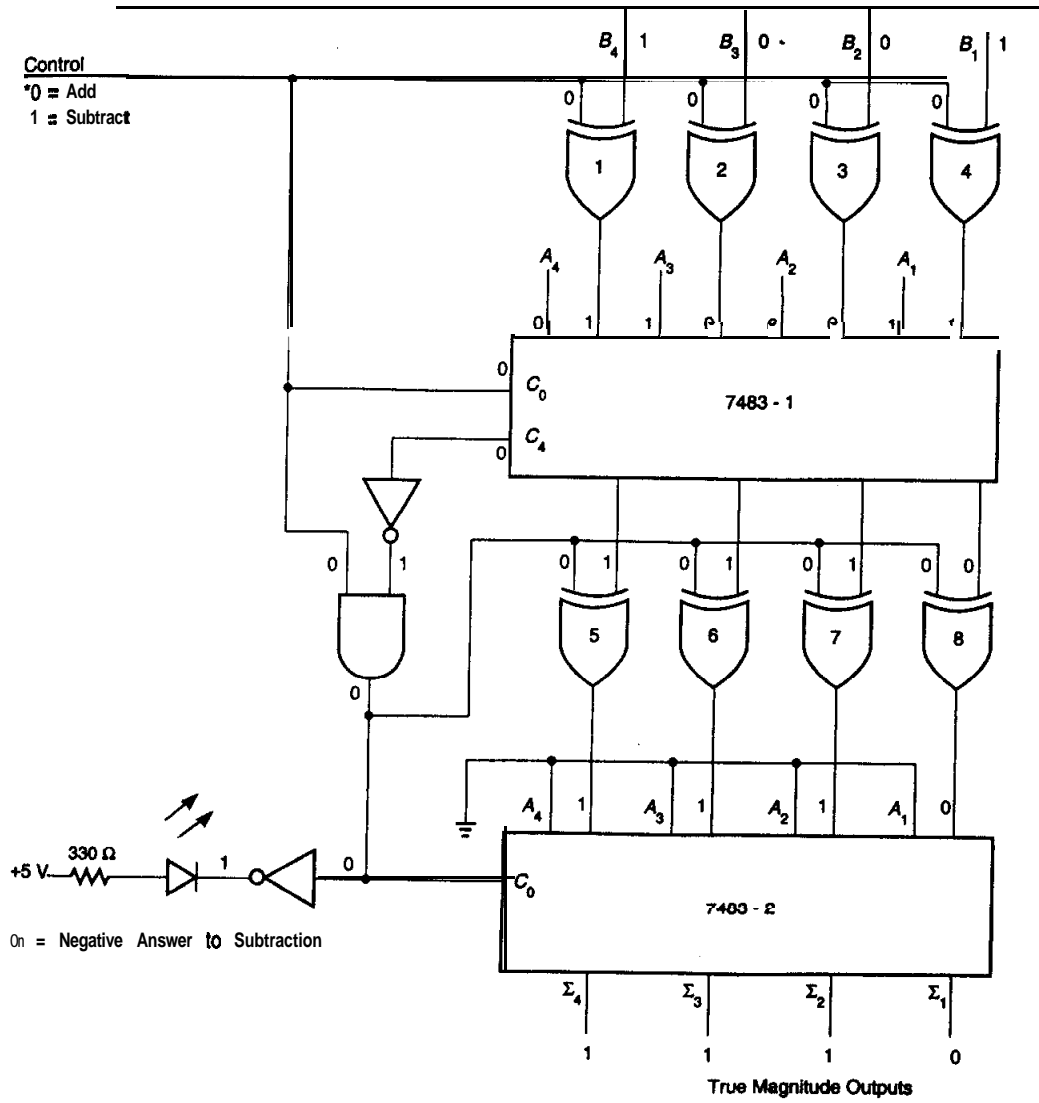
รูปที่ 5.29

3. จากปัญหาที่ใดจากกรลบถ้าเกิดมีโอเซอร์โพลว (C4 = 1) ก็จะไม่มีการทำ 2's คอมพลีเมนต์ของผลลัพธ์ที่ได้จาก 7483-1 คำตอบที่ได้จะเป็นคำตอบที่แท้จริง ในกรณีเข้าพุทของ AND gate จะต้องมิต่าเป็น 0 ซึ่งค่า 0 จะควบคุมอินพุทของ XOR gate 5, 6, 7, 8 ของผลลัพธ์ที่มาจาก 7483-1 ส่งผ่านไปยัง 7483-2 ที่ไม่มีการเปลี่ยนแปลง ดูรายละเอียดการทำงานในรูปที่ 5.30



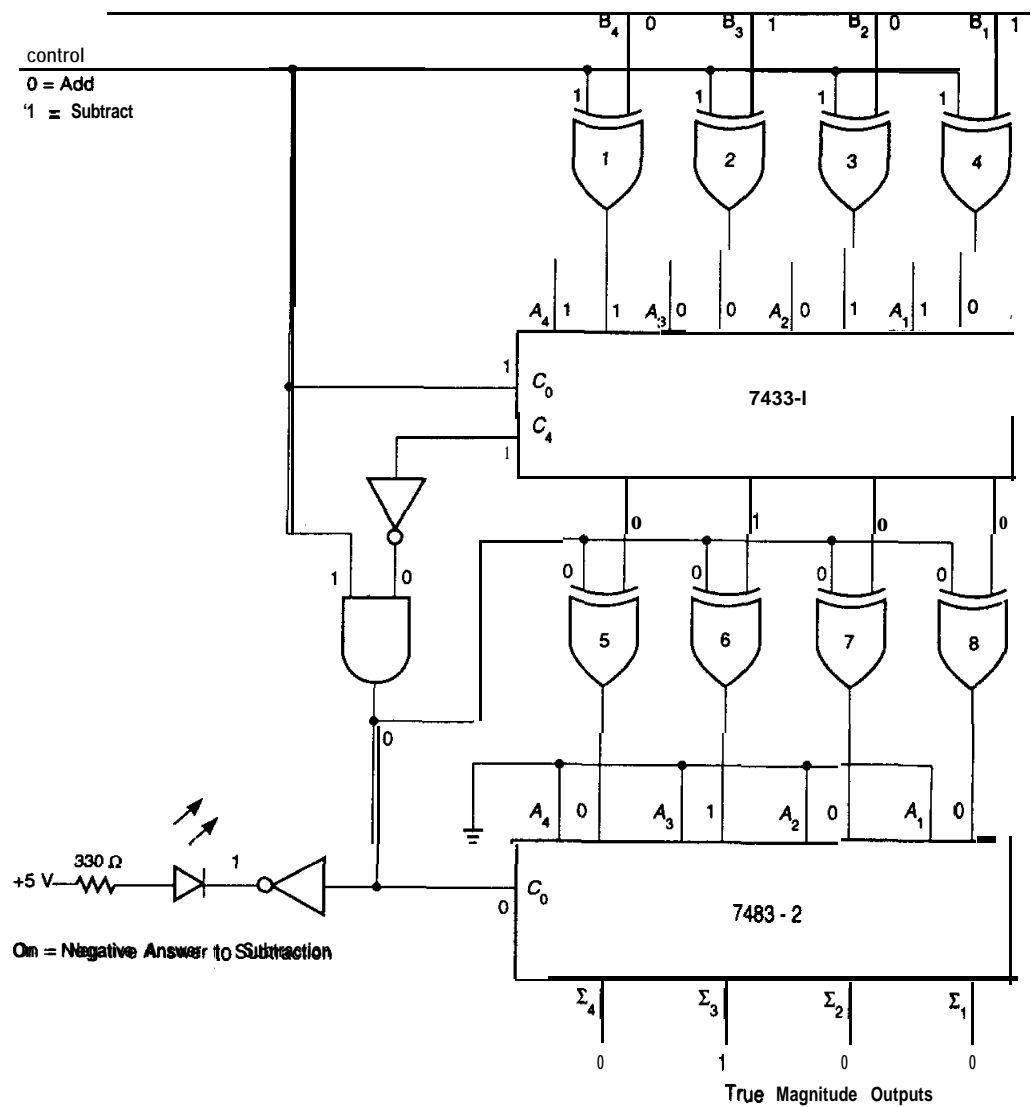
รูปที่ 5.30 วงจรบวกเลข/ลบเลขหลักการของ 2's คอมพลีเมนต์

ตัวอย่างที่ 5.3 การบวกเลข 1001 + 0101



รูปที่ 5.31

ตัวอย่างที่ 5.4 การลบเลข 0101 - 1001



รูปที่ 5.32

5.6.4 การบวกเลขแบบ BCD (Binary Code decimal)

การบวกเลขฐานสองที่กำหนดรูปแบบเป็นค่า BCD ซึ่งค่าของเลข BCD หนึ่งตัวจะแทนด้วยเลขฐานสอง 4 บิต จากตารางที่มีการเปรียบเทียบค่า BCD กับค่าเลขฐานสองดังนี้

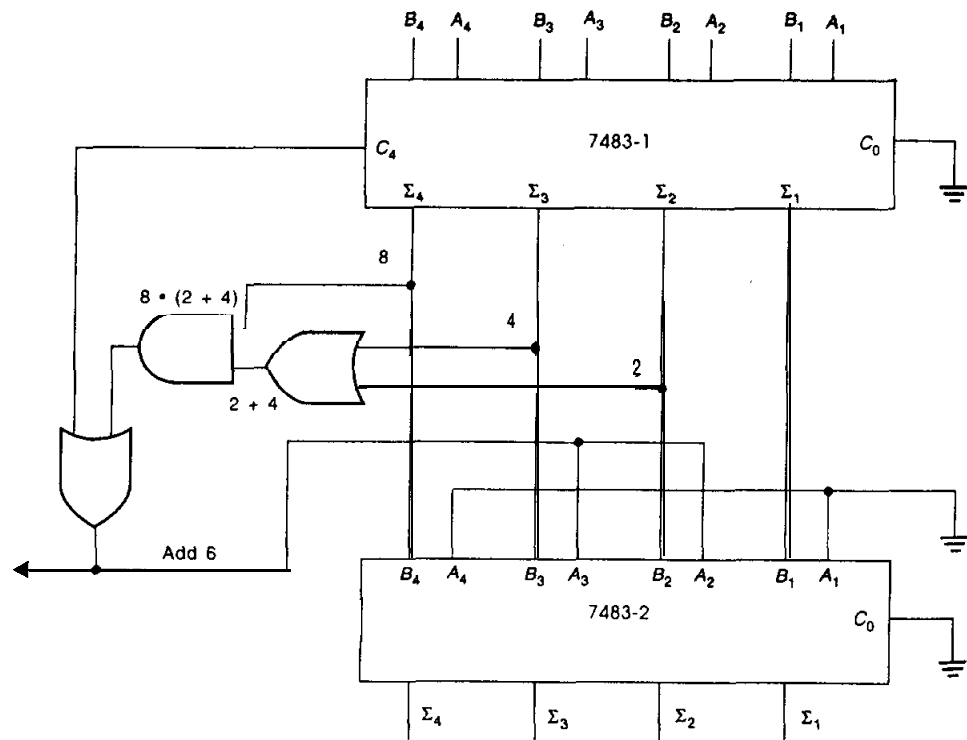
ค่าของ BCD	ค่าของเลขฐานสอง
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

ส่วนค่าของเลขฐานสอง 6 ค่านั้นคือ 1010 , 1011 , 1100 , 1101 , 1110 , 1111 เราไม่ใช้ในระบบ BCD

ตัวอย่าง 5.5 การบวกเลข BCD ดังต่อไปนี้

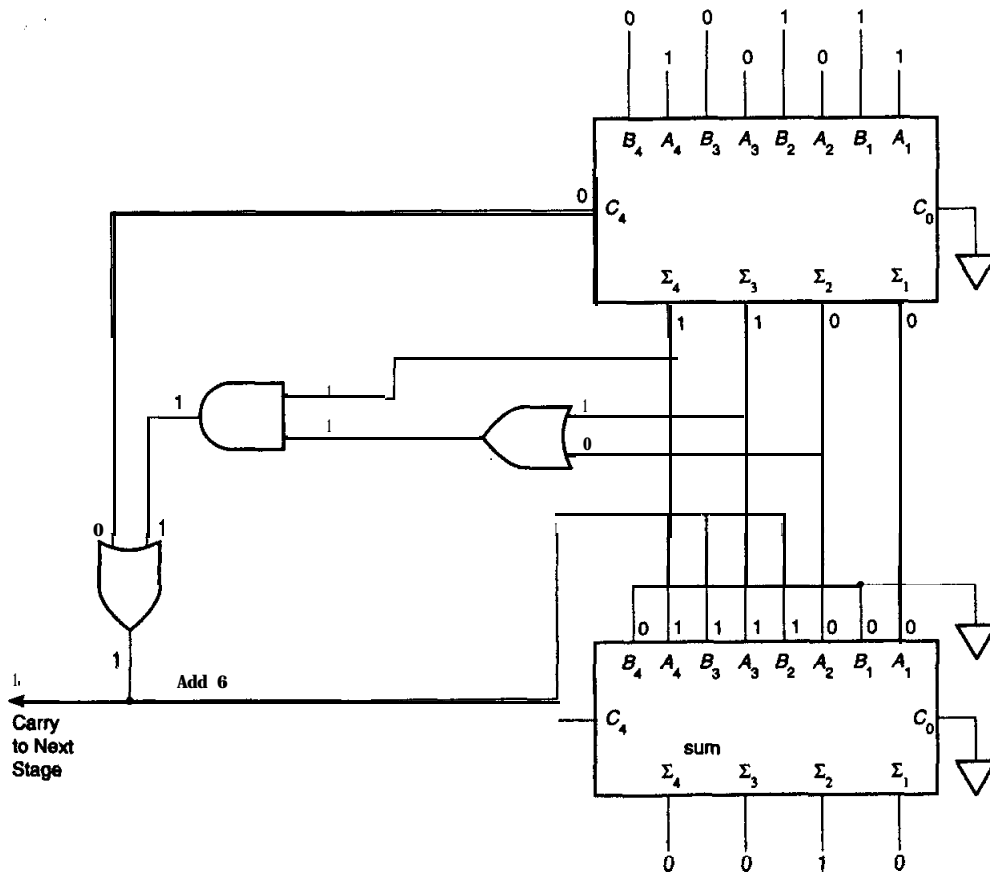
0011	1000	1000
+0101	+0101	+1001
<hr style="width: 50px; margin: 0 auto;"/>	<hr style="width: 50px; margin: 0 auto;"/>	<hr style="width: 50px; margin: 0 auto;"/>
1000 = 8	1101	10001
ถูกต้อง	ไม่ถูกต้อง	ไม่ถูกต้อง
	1101	10001
	+0110	+0110
	<hr style="width: 50px; margin: 0 auto;"/>	<hr style="width: 50px; margin: 0 auto;"/>
	10011 = 13	10111 = 17

5.6.3 วงจรบวกเลขแบบ BCD



รูปที่ 5.33 วงจรบวกเลขชนิด BCD Adder

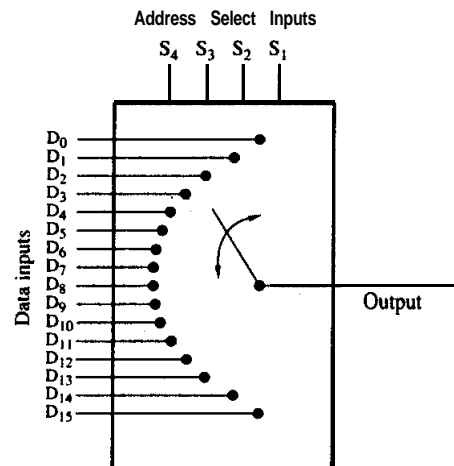
ตัวอย่าง 5.6 แสดงการบวกเลขของวงจร BCD Adder ในการบวกค่า 9 กับ 3



รูปที่ 5.34 การบวกเลขของวงจร BCD ADDER

5.7 มัลติเพลกเซอร์ (Multiplexers)

วงจรมัลติเพลกเซอร์เป็นวงจรที่รับข้อมูลทางอินพุต 1 ค่าหรือมากกว่า 1 อินพุต และทำการเลือกข้อมูลที่ส่งมาจากอินพุตส่งออกไปยังเอาต์พุตเพียง 1 ค่าเท่านั้น หรือเราเรียกวงจรชนิดนี้ว่า วงจรการเลือกข้อมูลจากอินพุตหลายอินพุตเพื่อส่งไปยังเอาต์พุตเพียงเอาต์พุตเดียว



รูป 5.35 บล็อก ไดอะแกรมมัลติเพลกเซอร์

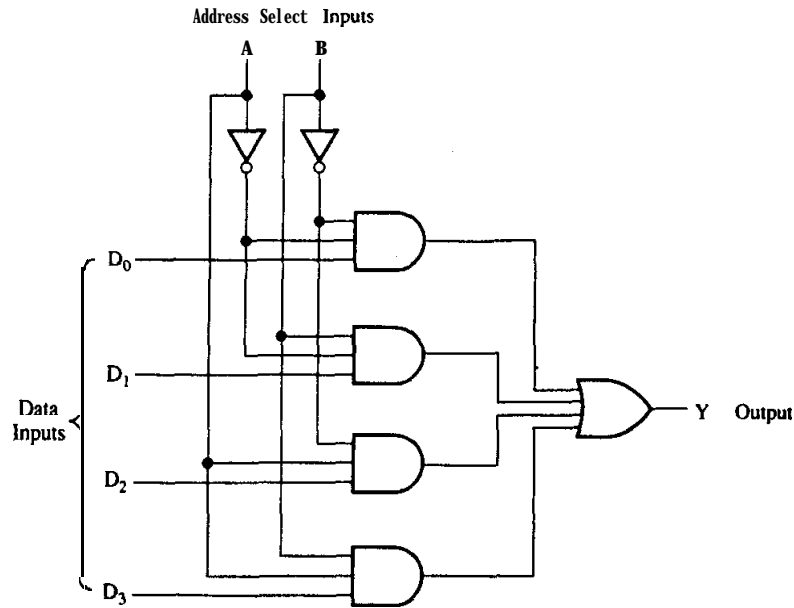
5.7.1 หน้าที่การทำงาน

มัลติเพลกเซอร์ จะมีอินพุตข้อมูล ตัวเลือกข้อมูล ตัวเลือกอินพุตข้อมูลและเอาต์พุต อินพุตข้อมูล คือ ใช้ในการรับข้อมูลในรูปแบบของไบนารีลอจิก (data) และส่งต่อไปยังเอาต์พุตผ่านสวิตช์มัลติเพลกเซอร์ ซึ่งมีอินพุตข้อมูลหลายตัว แต่จะทำการเลือกข้อมูลเพียงอินพุตเดียว และส่งต่อไปยังเอาต์พุตในแต่ละช่วงเวลา

ตัวเลือกอินพุตข้อมูล คือ แอดเดรสของอินพุตสำหรับตัวมัลติเพลกเซอร์ แอดเดรสที่เลือกอินพุตข้อมูล เพื่อต้องการส่งข้อมูลจากอินพุตข้อมูล ไปยังเอาต์พุต เช่นอินพุตข้อมูล 1 หรือ D แต่ถ้าแอดเดรสของไบนารี 4 บิตแอดเดรสก็คือ 0001 D8 จะมีแอดเดรส 1111

การทำงานของวงจรมัลติเพลกเซอร์ ที่กำหนดเป็นตัวเลือกข้อมูล จะต้องมีการกำหนดการทำงานดังตัวอย่าง 4:1 MUX จะมีรายละเอียดดังนี้

- 1) Data Inputs อินพุตข้อมูล คือ เป็นตัวที่จะทำการเคลื่อนย้ายข้อมูลจากอินพุตไปสู่เอาพุตของมัลติเพลกเซอร์ แต่ถ้ามี 2^n อินพุตข้อมูล n คือค่าตัวเลือกอินพุต
- 2) Multiplexed data output จะมีการนำข้อมูลจากอินพุตไปยังเอาพุตซึ่งมีเพียง 1 เอาพุต จะทำงานที่ Active low หรือ Active high ขึ้นอยู่กับชนิดของมัลติเพลกเซอร์
- 3) ตัวเลือกอินพุตข้อมูล (Selection inputs) แอดเดรสของตัวเลือกอินพุต ถ้าตัวเลือกมีแอดเดรส 2^4 จะเลือกอินพุตได้ 16 อินพุตข้อมูล โดยเริ่มที่ 0000 ถึง 1111
- 4) Strobe Input คือ เป็นตัวควบคุมมัลติเพลกเซอร์ให้มีการเลือกข้อมูลหรือไม่ จะทำงานหรือไม่ทำงานหรือไม่



รูป 5.36 วงจรลอจิกมัลติเพลกเซอร์

Multiplexer Truth Table

Select output
Inputs
 $A B 0 0 1 0 0 1 D_0 D_2 D_1 Y$

D_3

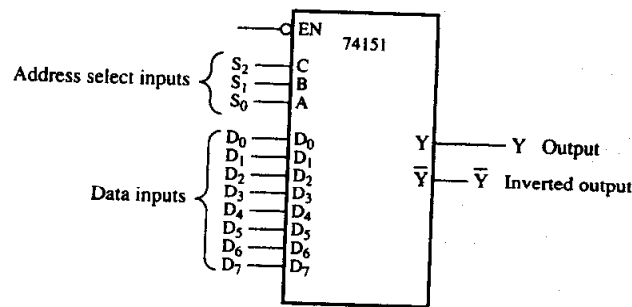
Multiplexer logic expression $Y = \bar{A} \bar{B} D_0 + \bar{A} B D_1 + A \bar{B} D_2 + A B D_3$

รูป 5.37 กฎและตารางของมัลติเพลกเซอร์

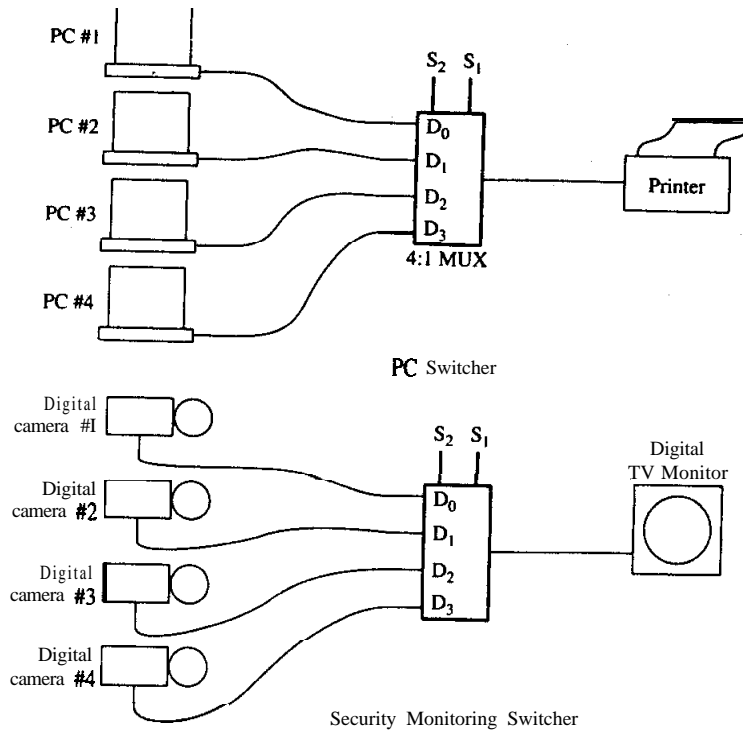
5.7.2 วงจรลอจิกเกตของมัลติเพลกเซอร์

มัลติเพลกเซอร์ คือ ตัวอย่างวงจรถูกพื้นฐานที่ใช้ OR gate และ AND gate รวมทั้ง NOT gate ในการเลือกอินพุตข้อมูลเข้าของมัลติเพลกเซอร์

จากวงจร 4 : 1 มัลติเพลกเซอร์ สมการเข้าพุตที่ได้จากตารางจะเป็น SOP สมการเข้าพุตจะมีตัวแปรอินพุตทั้งหมดในเทอมของผลคูณ AND กับอินพุตข้อมูลในตัวอย่างของตารางเข้าพุตและสมการมัลติเพลกเซอร์



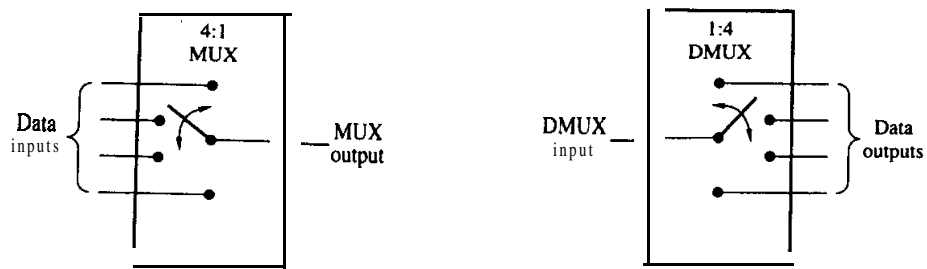
รูป 5.38 มัลติเพลกเซอร์ 74151



รูป 5.39 การประยุกต์ใช้งานวงจรสวิตช์

5.8.1 ดีมัลติเพลกเซอร์ (Demultiplexers)

วงจรดีมัลติเพลกเซอร์ หรือ DMUX การทำงานของวงจรชนิดนี้ทำงานตรงกันข้ามกับมัลติเพลกเซอร์ ซึ่งดีมัลติเพลกเซอร์จะทำหน้าที่ในการรับข้อมูลที่เข้ามาทางอินพุตและส่งต่อไปยังเอาพุตซึ่งมีหลายเอาพุตดังแสดงในรูป วงจรดีมัลติเพลกเซอร์ทำงานร่วมกับ TDM ที่ใช้เป็นเส้นทางเดินข้อมูลหรือเรียกว่าตัวกระจายข้อมูล



รูป 5.40 MUX & DMUX ELECTRONIC SWITCHES

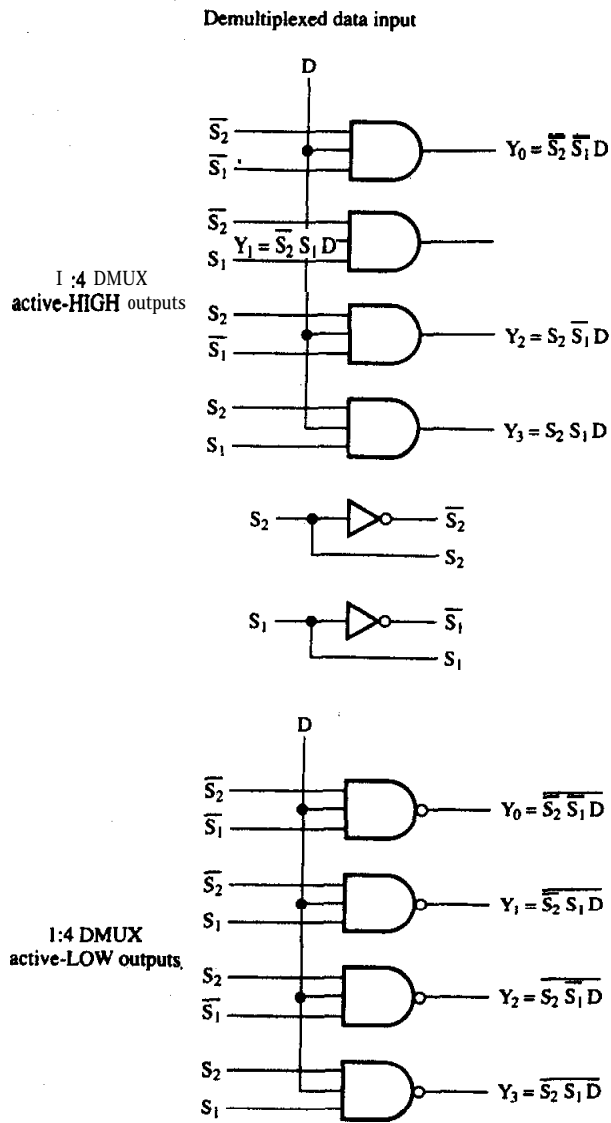
5.8.2 หน้าี่การทำงาน

วงจรดีมัลติเพลกเซอร์ จะมีเพียง 1 อินพุต และมีหลายเอาพุต จะมีตัวควบคุมในการเลือกเอาพุต โดยกาหนดแอดเดรสของเอาพุต เช่น 1 : 4 Demultiplexer

ตารางแสดงการทำงานสำหรับดีมัลติเพลกเซอร์ จะมีอินพุตเพียง 1 ตัว และมีตัวควบคุมในการเลือกเอาพุต 2^n เอาพุต แสดงในรูปข้อมูล D สามารถส่งสัญญาณดิจิทัล ผ่านดีมัลติเพลกเซอร์ไปยังเอาพุต สมการของดีมัลติเพลกเซอร์สามารถเขียนได้จากตาราง

1:4 Demultiplexer							1:4 Demultiplexer						
Active-HIGH Outputs							Active-LOW Outputs						
Data D	Address S ₂ S ₁		Outputs Y ₀ Y ₁ Y ₂ Y ₃				Data D	Address S ₂ S ₁		Outputs Y ₀ Y ₁ Y ₂ Y ₃			
D	0	0	D	0	0	0	D	0	0	\bar{D}	1	1	1
D	0	1	0	D	0	0	D	0	1	1	\bar{D}	1	1
D	1	0	0	0	D	0	D	1	0	1	1	\bar{D}	1
D	1	1	0	0	0	D	D	1	1	1	1	\bar{D}	
			$Y_0 = \bar{S}_2 \bar{S}_1 D$		$Y_1 = \bar{S}_2 S_1 D$				$\bar{Y}_0 = \bar{S}_2 \bar{S}_1 D$		$\bar{Y}_1 = \bar{S}_2 S_1 D$		
			$Y_2 = S_2 \bar{S}_1 D$		$Y_3 = S_2 S_1 D$				$\bar{Y}_2 = S_2 \bar{S}_1 D$		$\bar{Y}_3 = S_2 S_1 D$		

รูปที่ 5.41 ตารางคุณสมบัติของดีมัลติเพลกเซอร์และสมการ

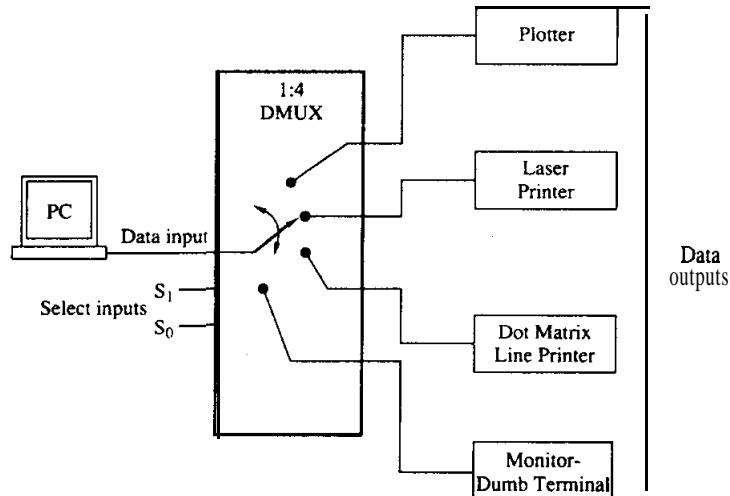


รูป 5.42 วงจรลอจิกของมัลติเพลกเซอร์

5.9 การประยุกต์ใช้งานและการออกแบบวงจรดีมัลติเพลกเซอร์

วงจรดีมัลติเพลกเซอร์ คือวงจร AND array เอนกประสงค์ใช้ในการส่งข้อมูล กำหนดเส้นทางเดินข้อมูล ความยุ่งยากของวงจรดีมัลติเพลกเซอร์ สามารถพบได้กับการส่งข้อมูลด้วยความเร็วสูง

Data Routing



รูป 5.43 วงจร Demultiplexer ในการกำหนดทางเดินข้อมูล

Personal Computer Routing Specification Table

Address	Output Device
000	Laser printer
001	Dot matrix printer
010	Plotter
011	Dumb terminal-monitor
100	For future use
101	For future use
110	For future use
111	For future use

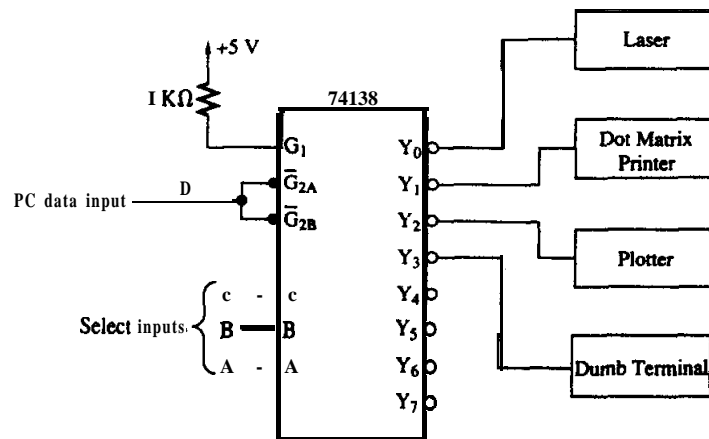
รูป 5.44 ตารางการกำหนดแอดเดรส

การทำงานของคีมัลติเพลกเซอร์จะกำหนดเส้นทางข้อมูลเข้า 1 ทางและเส้นทางออกหลายทางตามแอดเดรสที่กำหนดโดยตัวเลือกข้อมูล จากรูปแสดงการไหลของข้อมูลทางด้านอินพุตผ่านคีมัลติเพลกเซอร์ไปยังเอาพุต ตัวคีมัลติเพลกเซอร์จะเป็นตัวเลือกข้อมูลเอาพุตของข้อมูลตามแอดเดรสที่กำหนด มีอุปกรณ์ 4 ชนิด คือ Plotter , Laser printer , Dot matrix , terminals

การออกแบบวงจรคีมัลติเพลกเซอร์

DMUX OUTPUT	DEVICE
Y ₀	Laser printer
Y ₁	Dot matrix printer
Y ₂	Plotter
Y ₃	Dumb terminal—monitor

The function table for the 74138 follows, and the circuit is shown in Figure 4-28.



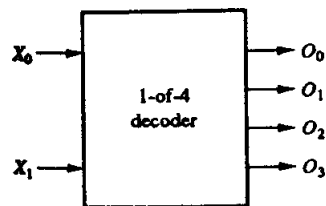
Note: See material in Appendix B for serial data transmission and the RS-232 standard. Serial data transmission should not be attempted at TTL voltage levels.

รูป 5.45 ไอซีเบอร์ 74138 PC Data Routing Applications

5.10 วงจรถอดรหัส (Decoder)

วงจรถอดรหัส เป็นวงจรแปลรหัสในระบบดิจิทัลทำหน้าที่ในการแปลหรือถอดรหัสต่างๆ ตามความต้องการ เช่นการถอดรหัส BCD เป็นเลขฐานสิบ จากที่แสดงในวงจร จะเห็นว่ารหัส BCD 8421 เป็นอินพุตด้านซ้ายมือของวงจรถอดรหัส และมีเอาต์พุตทางขวามือมี 10 เอาต์พุต เมื่อมีการป้อนสัญญาณอินพุตเข้ามาและสัญญาณเอาต์พุตจะแสดงผลเพียง 1 เอาต์พุตเท่านั้น

การออกแบบวงจรถอดจิก 2:4 Decoder



รูปที่ 5.46 บล็อกไดอะแกรม 2: 4 Decoder

ตาราง 5-7 แสดงคุณลักษณะ 2:4 Decoder

X_1	X_0	O_0	O_1	O_2	O_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

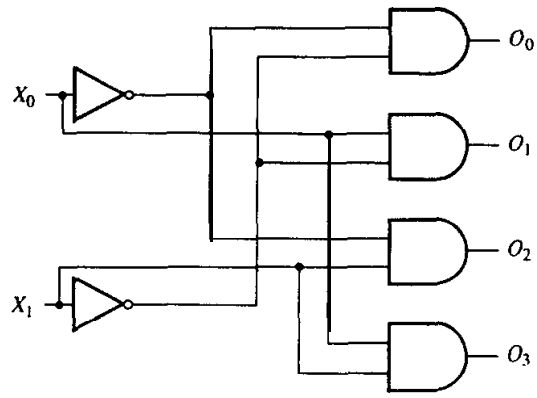
สมการที่ได้จากตาราง 5-7

$$O_0 = X_1 X_0$$

$$O_1 = \bar{X}_1 X_0$$

$$O_2 = X_1 \bar{X}_0$$

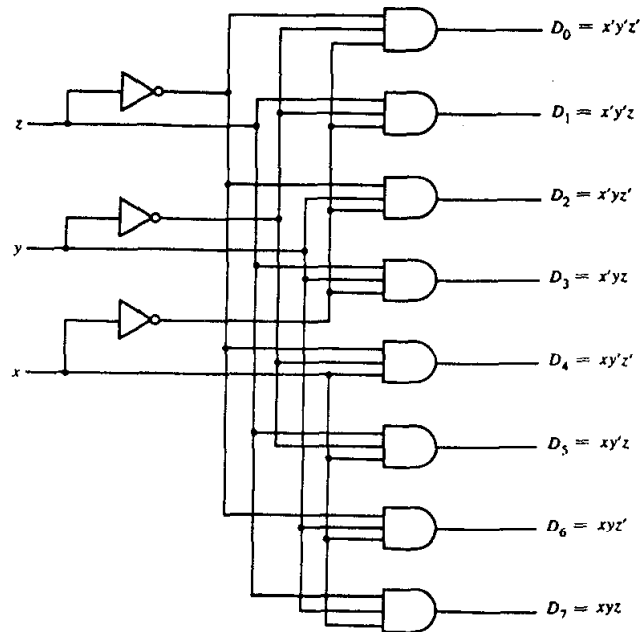
$$O_3 = X_1 X_0$$

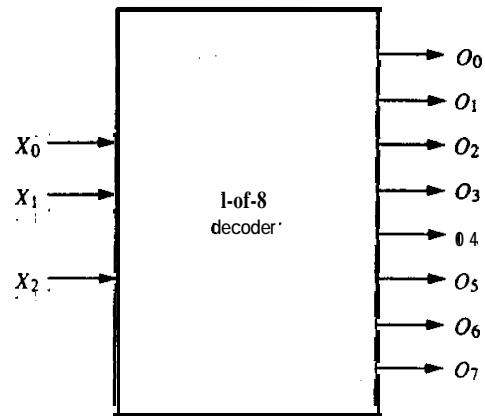


รูปที่ 5.47 วงจรลอจิก 2:4 Decoder

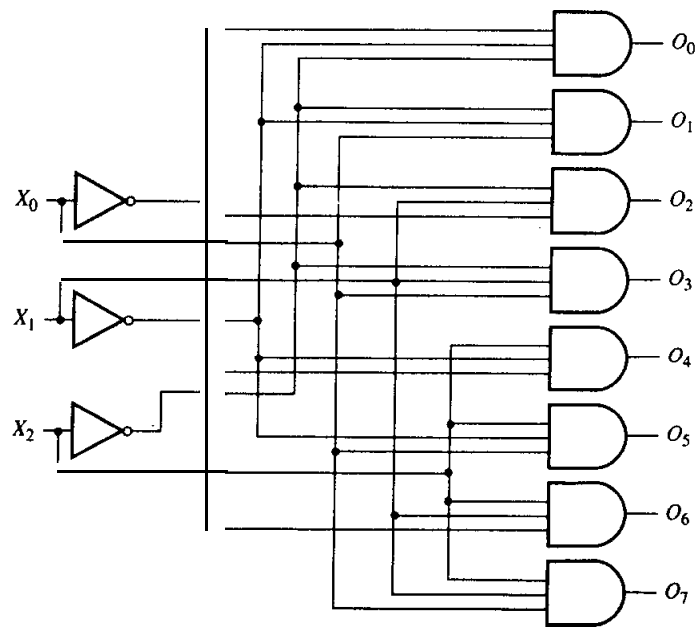
ตาราง 5-8 การออกแบบวงจรถอดรหัส 3:8 Decoder

Inputs			Outputs							
<i>x</i>	<i>y</i>	<i>z</i>	D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7
0	0	0	1	0	0	0	0	0	0	0
0	1	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1





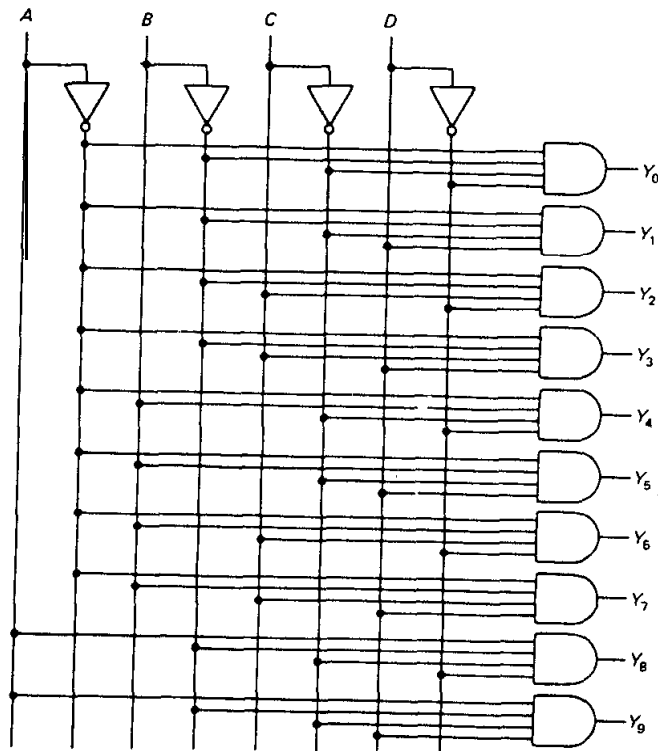
รูปที่ 5.48 วงจรลอจิก 3:8 Decoder



การออกแบบวงจรถอดรหัสเลขฐานสิบ 8421 BCD Decoder คำว่า BCD คือตัวย่อที่มาจาก Binary Code Decimal เช่นค่าของเลขฐานสิบ 429 เปลี่ยนเป็นเลข BCD จะได้ 0100 0010 1001

A	B	C	D	0	1	2	3	4	5	6	7	8	9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	~	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1

$$\begin{aligned}
 0 &= \bar{A}\bar{B}\bar{C}\bar{D} & 4 &= \bar{A}B\bar{C}\bar{D} & 7 &= \bar{A}BCD \\
 1 &= \bar{A}\bar{B}C\bar{D} & 5 &= \bar{A}B\bar{C}D & 8 &= A\bar{B}\bar{C}\bar{D} \\
 2 &= \bar{A}\bar{B}C\bar{D} & 6 &= \bar{A}BC\bar{D} & 9 &= A\bar{B}\bar{C}D \\
 3 &= \bar{A}\bar{B}CD
 \end{aligned}$$

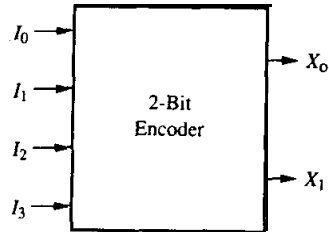


รูป 5.49 วงจรลอจิกถอดรหัสเลขฐานสิบ BCD

5.11 วงจรเข้ารหัส (ENCODER)

วงจรเข้ารหัสเป็นวงจรที่ใช้แปลงสัญญาณหรือเข้ารหัส เช่นตัวเลขหรือตัวอักษรให้เป็นรหัส สำหรับใช้ในเครื่องคอมพิวเตอร์หรือเครื่องคิดเลข ดังตัวอย่างต่อไปนี้

Logic symbol for a 2-bit encoder.



รูปที่ 5.50 บล็อกไดอะแกรมของ 2 bit encoder

ตาราง 5-9 คุณลักษณะของ 2 bit Encoder

I_0	I_1	I_2	I_3	X_1	X_0
0	0	0	0	X	X
0	0	0	1	1	1
0	0	1	0	1	0
0	0	1	1	X	X
0	1	0	0	0	1
0	1	0	1	X	X
0	1	1	0	X	X
0	1	1	1	X	X
1	0	0	0	0	0
1	0	0	1	X	X
1	0	1	0	X	X
1	0	1	1	X	X
1	1	0	0	X	X
1	1	0	1	X	X
1	1	1	0	X	X
1	1	1	1	X	X

สมการที่ได้จากตาราง

$$X_1 = \bar{I}_0 \bar{I}_1$$

$$X_0 = \bar{I}_0 \bar{I}_2$$

การลดรูปโดยใช้ K-Map

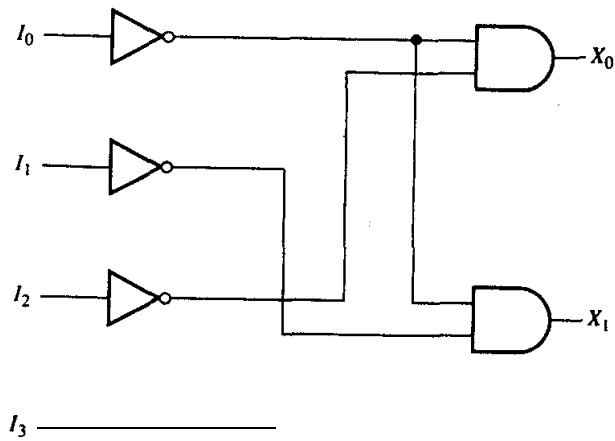
$I_0I_1 \backslash I_2I_3$	00	01	11	10
00	X	1	X	1
01	0	X	X	X
11	X	X	X	X
10	0	X	X	X

(a)

$I_0I_1 \backslash I_2I_3$	00	01	11	10
00	X	1	X	0
01	1	X	X	X
11	X	X	X	X
10	0	X	X	X

(b)

รูปที่ 5.51 เทคนิคการลดรูป

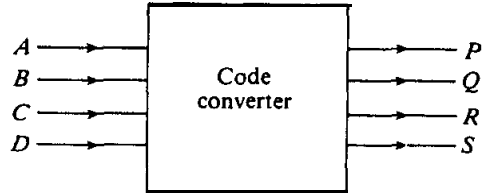


รูปที่ 5.52 วงจรลอจิก 2 Bit Encoder

5.12 Code Conversion

การออกแบบวงจรเปลี่ยนรหัสในระบบดิจิทัลมีดังต่อไปนี้

การออกแบบวงจรการเปลี่ยนรหัส BCD เป็น Excess-3 code



รูปที่ 5.53 บล็อกโคโอะแกรม

BCD				Excess 3			
A	B	C	D	P	Q	R	S
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

รูป 5.54 ตารางการเปลี่ยนรหัส BCD เป็น Excess-3 code

เทคนิคการลดรูปโดยใช้ K-Map

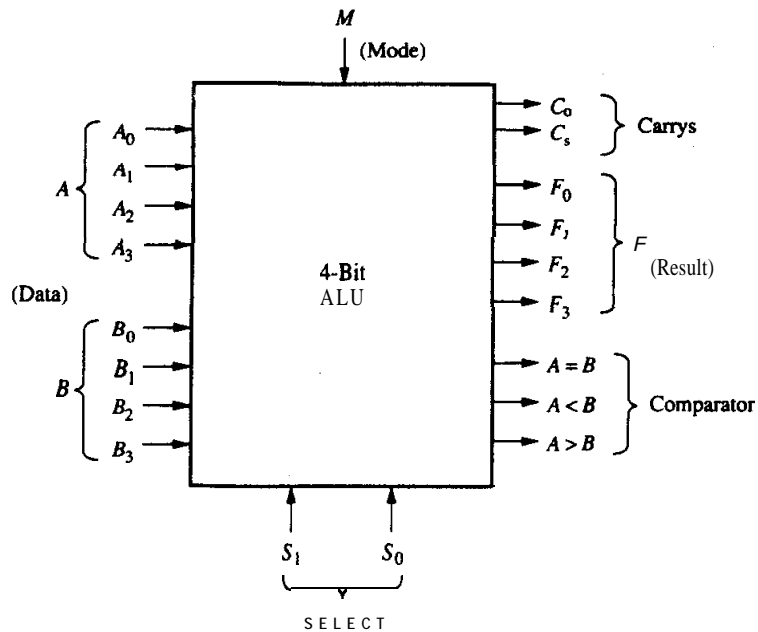
$\sim AB$

CD	00	01	11	10
00	0	0	X	1
01	0	1	X	1
11	0	1	X	X
10	0	1	X	X

รูปที่ 5.55 เทคนิคการลดรูป

5.13 Arithmetic logic units

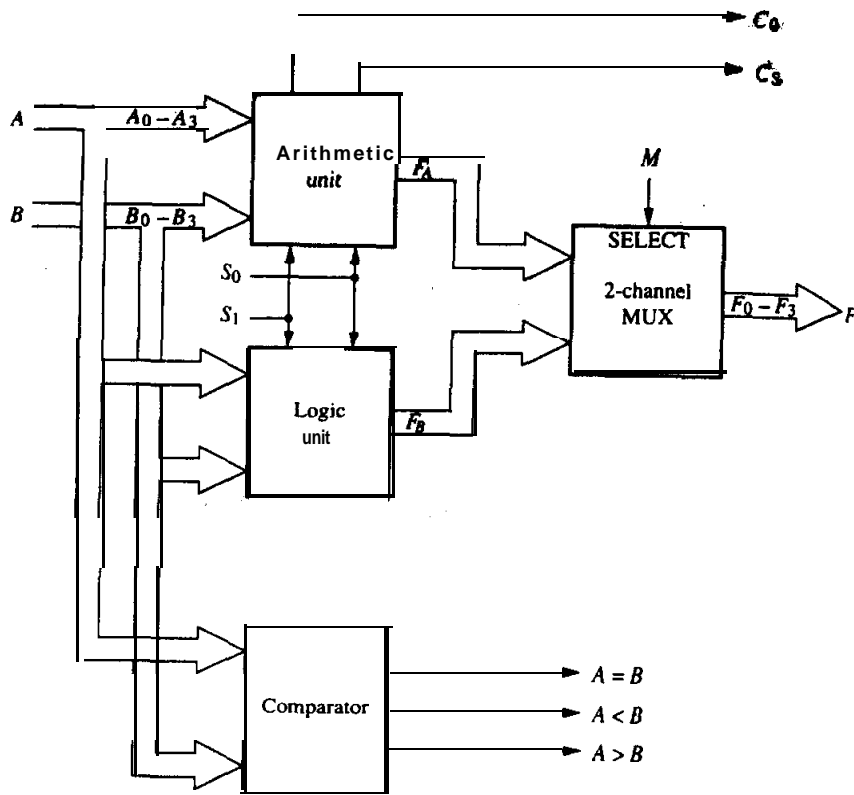
หน่วยคำนวณทางคณิตศาสตร์และลอจิกเป็นหน่วยที่มีความสำคัญในการทำงานของระบบดิจิทัลคอมพิวเตอร์ โครงสร้างของหน่วยคำนวณทางคณิตศาสตร์และลอจิกแสดงในรูปที่ 5.



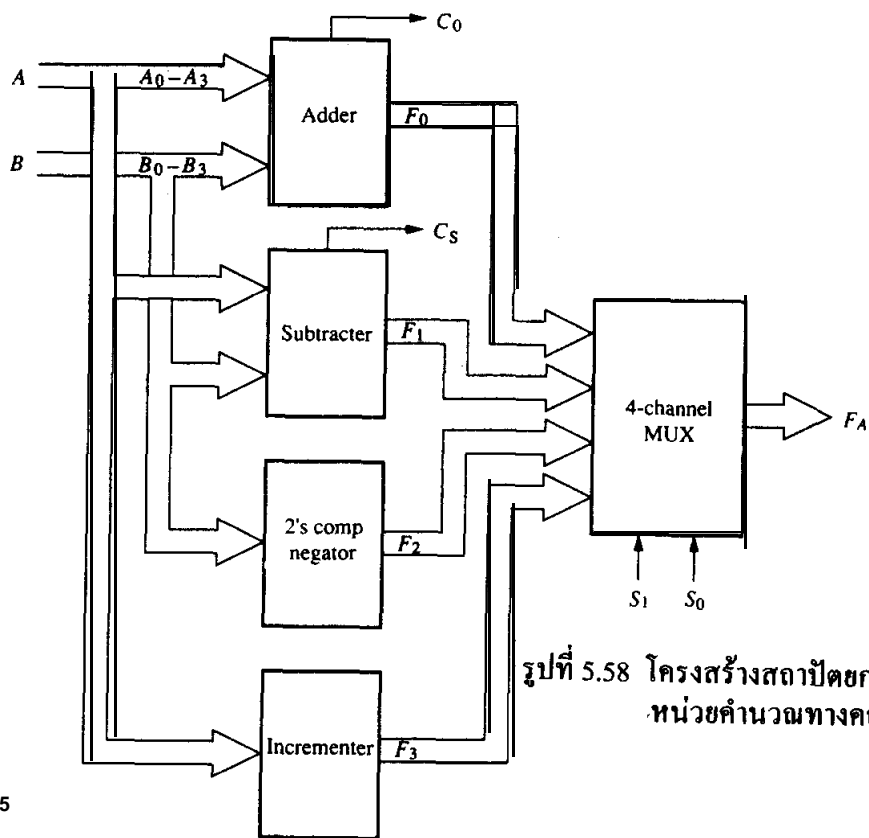
รูปที่ 5.56 สัญลักษณ์ของ 4 bit ALU

ตาราง 5.8 การทำงานของ 4 บิต ALU

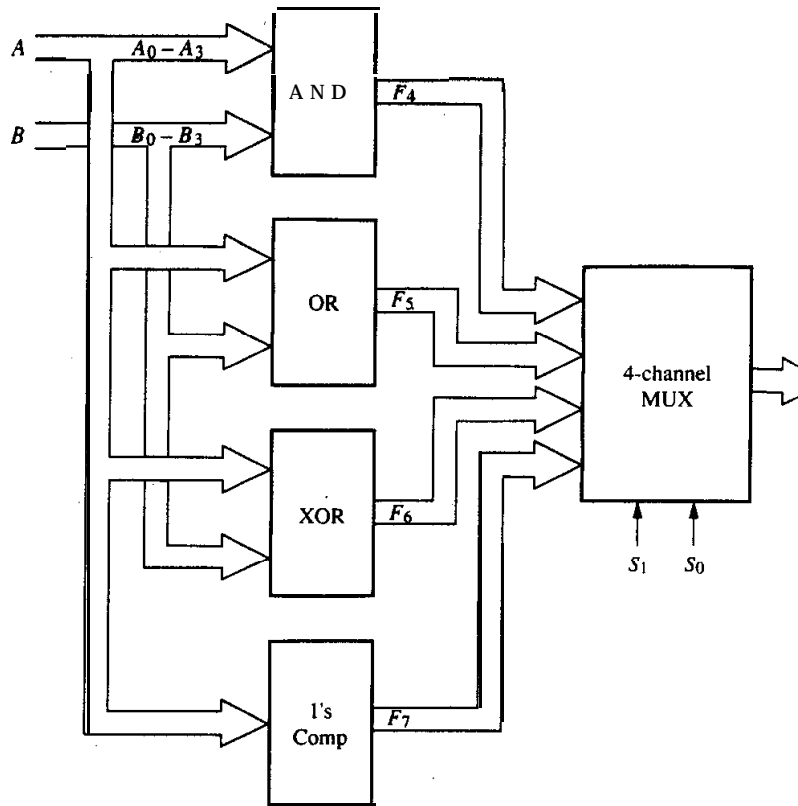
Function select		Function	
S_1	S_0	$M = 1$ (logic)	$M = 0$ (arithmetic)
0	0	$A \cdot B$	A plus B
0	1	$A + B$	A minus B
1	0	$A \oplus B$	Minus B (2's complement)
1	1	\bar{A}	A plus 1



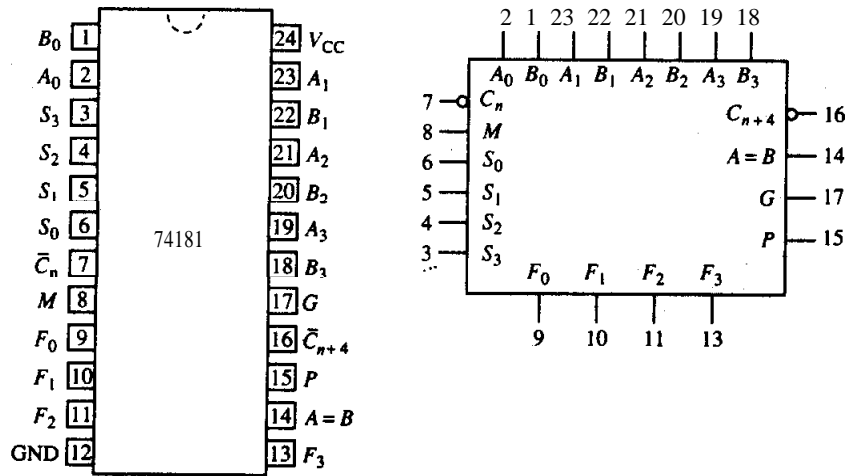
รูปที่ 5.57 โครงสร้างสถาปัตยกรรมภายใน ALU



รูปที่ 5.58 โครงสร้างสถาปัตยกรรมของ หน่วยคำนวณทางคณิตศาสตร์



รูปที่ 5.59 โครงสร้างสถาปัตยกรรมของหน่วยคำนวณลอจิก



รูปที่ 5.60 สัญลักษณ์และ โครงรูปของไอซี 74181ของ ALU

ตาราง 5-9 ของการทำงาน 4 บิต ALU ไอซีเบอร์ 74181

Function select				Function	
S_3	S_2	S_1	S_0	Logic $M = 1$	Arithmetic $M = 0$
0	0	0	0	A	A
0	0	0	1	$\overline{A} + B$	$A + B$
0	0	1	0	$\overline{A}B$	$A + \overline{B}$
0	0	1	1	0	Minus 1
0	1	0	0	$\overline{A}\overline{B}$	$A + \overline{A}B$
0	1	0	1	\overline{B}	$(A + B)$ plus $\overline{A}B$
0	1	1	0	$A \oplus B$	A minus B minus 1
0	1	1	1	$\overline{A}\overline{B}$	AB minus 1
1	0	0	0	$\overline{A} + B$	A plus $\overline{A}B$
1	0	0	1	$\overline{A} \oplus B$	A plus B
1	0	1	0	B	$(A + \overline{B})$ plus $\overline{A}B$
1	0	1	1	AB	AB minus 1
1	1	0	0	1	A plus A
1	1	0	1	$A + \overline{B}$	$(A + B)$ plus A
1	1	1	0	$A + B$	$(A + \overline{B})$ plus A
1	1	1	1	A	A minus 1

สรุป

การออกแบบวงจรลอจิกแบบคอมไบเนชัน เป็นการออกแบบตามกำหนดการทำงานของผู้วิเคราะห์วงจร จากตารางคุณลักษณะของ SOP และ POS โดยมีการลดรูปโดยใช้ K - Map จากตารางคุณสมบัตินั้นที่อยู่ในเทอมของลอจิก แลพกำหนดรูปแบบให้เป็นสมการ และนำไปต่อเป็นวงจรดิจิทัลอิเล็กทรอนิกส์ มีวงจรดังต่อไปนี้

วงจรวกเลขชนิด Half Adder , Full Adder , Parallel Adder

วงจรถบเลข Half Subtractor , Full Subtractor

วงจรเลือกข้อมูลหรือ วงจร Multiplexer

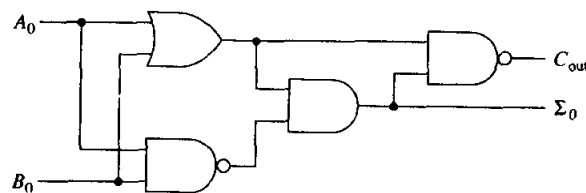
วงจรถ่ายข้อมูล หรือ วงจร Demultiplexer

วงจรถอดรหัส DECODER

วงจรเข้ารหัส ENCODER

แบบฝึกหัด

1. จากวงจรลอจิกต่อไปนี้ จงเขียนตารางแสดงคุณลักษณะการทำงานของวงจร



2. จงเขียนบล็อคดีอะแกรมของวงจรวกเลขชนิด Full Adder ขนาด 4 บิต และวงจรถบเลขโดยใช้หลักการของ 2 's คอมพลิเมนต์โดยการใช้ XOR gate
3. จงเขียนตารางของวงจรวกเลขขนาด 2 บิตและการออกแบบวงจรให้อยู่ในรูปสมการบูลีน
4. จงออกแบบวงจรถอดรหัสขนาด 4:16 Decoder
5. จงอธิบายการทำงานของวงจร Multiplexer และ Demultiplexer ว่าแต่ละชนิดมีหลักการทำงานอย่างไร และทำหน้าที่อะไรในระบบคอมพิวเตอร์
6. จงอธิบายการทำงานของวงจรลอจิกต่อไปนี้